روشی جدید برای تخمین سریع و دقیق احتمال انتشار خطای نرم در مدارهای ترکیبی

رامین رجائی[*,1]، سینا بخت‌آوری ممقانی[2]

۱- دانشگاه شهید بهشتی، دانشکده مهندسی برق، r_rajaei@sbu.ac.ir

۲- دانشگاه شهید بهشتی، دانشکده مهندسی برق، s.bakhtavari@mail.sbu.ac.ir

خلاصه

تخمین نرخ رخداد و انتشار خطای نرم در مدارهای ترکیبی همواره به عنوان یکی از گام‌های اصلی و اولیه طراحی مدارهای مجتمع خیلی فشرده[۱] مقاوم در برابر خطا، مورد توجه طراحان بوده است به گونه‌ای که امروزه، روش‌های تعیین نرخ خطای نرم، یکی از مباحث اصلی در این زمینه می‌باشد. با کوچکتر شدن روزافزون ابعاد ترانزیستورهای CMOS، حساسیت مدارها در مقابل خطای نرم رو به افزایش است. مطالعات نشان داده که در فن‌آوری‌های زیر ۱۰۰ نانومتر، ذرات پرانرژی پراکنده در فضا با برخورد به یک دروازه منطقی[۲] بیش از یک نقطه را تحت تاثیر قرار می‌دهند و سبب انتشار چند پالس اشکال در مدار ترکیبی می‌شوند. از اینرو، روش‌های ارائه شده برای تخمین نرخ رخداد و انتشار خطای نرم در مدارهای ترکیبی که تا به امروز ارائه شده‌اند، عموما دارای دقت مطلوب نمی‌باشند. لذا، نیاز به ارائه روش‌های نوین با دقت و سرعت بالا در این عرصه احساس می‌شود. در این مقاله، روشی دقیق و سریع برای محاسبه‌ی نرخ انتشار خطای نرم در مدارهای ترکیبی با در نظر گرفتن تأثیر چندگانه‌ی برخورد ذرات، پوشش‌های ذاتی (پوشش الکتریکی، منطقی و زمانی) و انتشار اشکال در سیکل‌های ساعت متوالی ارائه شده است. طبق شبیه‌سازی‌های انجام شده، نتایج حاصل از این روش تا ۹۸،۳ درصد با روش مبتنی بر شبیه‌سازی مونت‌کارلو برابری کرده، در حالیکه، بیش از ۹۰۰ برابر در زمان صرفه‌جویی شده است.

کلمات کلیدی: نرخ رخداد و انتشار خطای نرم، مقاوم سازی در مقابل خطای نرم، تأثیر چندگانه‌ی برخورد ذرات، پوشش الکتریکی، پوشش منطقی، پوشش زمانی

۱. مقدمه

در مدارهای VLSI، در اثر برخورد یک ذره پر انرژی به بخش ترکیبی مدار، یک پالس گذرا[۳] ایجاد شده و در این بخش منتشر می‌شود. در طول این انتشار، ممکن است این پالس در همان بخش ترکیبی مرتفع شود و یا اینکه توسط

---

[*] **Department of Electrical Engineering, Shahid Beheshti University**
Email: r_rajaei@sbu.ac.ir
[۱] **Very Large Scale Integrated Circuit (VLSI)**
[۲] **Logic gate**
[۳] **Single Event Transient (SET)**

فلیپ‌فلاپ متعاقب به صورت یک داده‌ی غلط ذخیره شود. حالت دیگر نیز زمانی اتفاق می افتد که این سیگنال به صورت مستقیم به یکی از خروجی‌ها برود. بنابراین، برای یک پالس SET که در بخش ترکیبی در اثر برخورد یک ذره پرانرژی پراکنده در فضا ایجاد شده است، سه حالت ممکن است رخ دهد. در حالت اول، سیگنال پالس SET محو شده و خطایی بروز نخواهد کرد. در حالت دوم پالس SET توسط فلیپ‌فلاپ ذخیره شده و باعث بروز خطایی در سیکل جاری نمی‌شود. اما مقدار نادرست ذخیره شده در آن ممکن است باعث بروز خطا در سیکل‌های ساعت بعدی بشود. در حالت سوم، خطا در همان سیکل جاری به وقوع می‌پیوندد و باعث عدم صحت مقدار خروجی می‌شود [۱].

یکی دیگر از عواملی که در هنگام تخمین نرخ رخداد خطا باید در نظر گرفته شود، اثر پوشش‌های ذاتی مدار است. اندازه‌ی پالس خطای ایجاد شده در اثر برخورد ذره باردار ممکن است در اثر خواص الکتریکی دروازه‌های منطقی کوچک شده و مرتفع شود (اثر پوششی الکتریکی). یکی دیگر از حالات ممکن، از بین رفتن پالس خطا در اثر پوشش منطقی مدار می‌باشد. این اتفاق در حالتی رخ می‌دهد که مقدار خروجی یک دروازه به طور مستقل از ورودی دارای خطا تعیین شود. به عنوان مثال، پالس اشکال به یکی از ورودی‌های یک دروازه OR برسد، در حالیکه در ورودی دیگر مقدار منطقی ۱ به صورت صحیح وجود داشته باشد. در این حالت، خروجی دروازه به صورت صحیح و مستقل از ورودی خطادار، ۱ خواهد بود. حالت سوم، پوشش زمانی نام دارد و زمانی رخ می‌دهد که پالس خطای ایجاد شده در خارج از پنجره‌ی زمانی نمونه برداری یک فلیپ‌فلاپ باشد. در این حالت نیز خطای ایجاد شده تأثیری بر کارکرد مدار نخواهد داشت.

علاوه بر عوامل فوق، شکل پالس SET، دامنه‌ی آن، دما، ولتاژ تغذیه، فرکانس کاری مدار و همچنین تأثیر برخورد چندگانه‌ی ذرات که در فن‌آوری‌های جدید بسیار اهمیت دارد [۳،۲] نیز از عواملی هستند که در نرخ رخداد خطا مؤثر بوده و برای تخمین دقیق‌تر آن باید در نظر گرفته شوند [۴]. با کوچکتر شدن بیشتر ابعاد ترانزیستورها، یک ذره با برخورد به یک گره از یک مدار ترکیبی، علاوه بر آن گره، بر گره(های) مجاور هم اثر گذاشته و موجب تشکیل و انتشار چند پالس اشکال در مدار ترکیبی می‌گردد [۵]. در نظر نگرفتن تاثیر چندگانه برخورد ذرات پرانرژی (به مانند بسیاری از کارهای پیشین)، سبب کاهش دقت محاسبه نرخ انتشار خطا خواهد شد [۶].

در این مقاله، روشی ارائه شده است که با توجه به عوامل ذکر شده، احتمال انتشار خطای نرم در بخش ترکیبی را با دقت بالایی تعیین می‌کند. در این روش، تأثیر هر سه پوشش ذاتی مدار مدل شده است. همچنین خطاها علاوه بر سیکل ساعت جاری در سیکل‌های بعدی نیز دنبال شده‌اند. علاوه بر عوامل فوق، اثر چندگانه برخورد ذرات نیز به عنوان مهم‌ترین عامل در نظر گرفته شده است. در تعدادی از کارهای پیشین عامل برخورد چندگانه ذرات در نظر گرفته شده است، اما در این مقاله روشی جدید که باعث افزایش دقت می‌شود، برای تعیین همسایگی در نظر گرفته شده است. به کمک روش پیشنهادی برای تخمین نرخ انتشار خطای نرم در مدارهای ترکیبی، می‌توان قسمت‌های حساس‌تر مدار را برای مقاوم‌سازی آگاه از هزینه، شناسایی کرد. در ادامه، ابتدا نگاهی گذرا به کارهای پیشین کرده و سپس به توضیح این روش و ارائه‌ی نتایج حاصل از شبیه‌سازی‌ها و ارزیابی‌های انجام شده می‌پردازیم.

۲. کارهای گذشته

تعیین روش‌های تخمین نرخ رخداد خطای نرم از گذشته مورد توجه طراحان بوده است و این مسئله با کوچک‌تر شدن ابعاد ترانزیستورها و به وجود آمدن مشکلاتی از قبیل توان نشتی، کم شدن حاشیه نویز و پر رنگ‌تر شدن عواملی که قبلاً از آن‌ها صرف نظر می‌شده (نظیر تغییرپذیری فرآیند ساخت)، اهمیت دوچندان یافته است.

به طور کلی روش‌های تخمین نرخ رخداد خطا به چهار دسته تقسیم می‌شوند [۷،۶] که عبارتند از:

۱- روش‌های مبتنی بر تزریق اشکال بر شبیه‌سازی بردارهای تصادفی یا دیدگاه پیش توصیف دروازه/ مسیر

۲- روش‌های مبتنی بر نمودار تصمیم‌گیری دودویی (یا نمودار تصمیم‌گیری جبری)

۳- روش‌های مبتنی بر ارضاپذیری بولی

۴- روش‌های مبتنی بر محاسبه احتمال انتشار اشکال در مدار

در [۸] روشی مبتنی بر شبیه‌سازی اشکال با استفاده از بردارهای تصادفی ورودی برای محاسبه‌ی نرخ محو شدن الکتریکی، پنجره‌ی نمونه برداری و منطقی ارائه شده است. این روش به دلیل شبیه‌سازی اشکال برای مدارهای بزرگ، بسیار زمان‌بر خواهد بود.

در [۹] یک روش برای تحلیل میزان حساسیت یک مدار به خطاهای نرم مبتنی بر نمودار تصمیم‌گیری دودویی و افزاربندی مدار ارائه شده است. در این روش، پالس‌های گذرا توسط یک نمودار تصمیم‌گیری دودویی رمزگذاری شده و در سطح دروازه منتشر می‌شوند.

در [۱۰] یک روش تخمین خطای نرم با استفاده از ارضاپذیری بولی ارائه شده است. در این روش، توصیف سطح دروازه‌ی مدار پیمایش می‌شود و احتمال خطا در خروجی هر دروازه با استفاده از ارضاپذیری بولی محاسبه می‌گردد.

در [۱۱]، [۱۲]، [۱۳] و [۱۴] روش‌هایی تحلیلی برای محاسبه‌ی نرخ محو شدن منطقی خطای نرم با استفاده از انتشار احتمال اشکال ارائه شده است. پیچیدگی این روش‌ها خطی بوده و به شکل قابل توجهی در مقایسه با روش‌های تزریق اشکال آماری سریع‌تر عمل می‌کنند. در این روش‌ها، تأثیر محو شدن الکتریکی و پنجره‌ی نمونه برداری، تاثیر چندگانه برخورد ذرات و همچنین انتشار اشکال در سیکل ساعت‌های متوالی در نظر گرفته نشده است (در [۱۳] مورد آخر در نظر گرفته شده است). در [۶] و [۱۵] روش‌های دیگری مبتنی بر محاسبه احتمال انتشار اشکال در مدار ارائه شده است. این روش‌ها که دارای دقت و سرعت بالای هستند، تاثیر برخورد چندگانه ذرات را در نظر گرفته اند، اما روشی که در این دو مقاله برای تعیین دروازه(های) همسایه در نظر گرفته شده است، در برخی موارد ممکن است چندان داری دقت مطلوبی نباشد.

نوآوری‌ها و کارهای برجسته‌ای که در این مقاله نسبت به کارهای پیشین صورت گرفته، عبارتند از:

در نظر گرفتن تاثیر چندگانه برخورد ذرات پر انرژی در فن‌آوری‌های زیر ۱۰۰ نانومتر: در بسیاری از کارهای پیشین (مانند کارهای ارائه شده در [۷] تا [۱۴]) این تاثیر لحاظ نشده است. بنابراین، این روش‌ها برای فن‌آوری‌های امروزی دارای دقت مطلوبی نیستند.

در نظر گرفتن همزمان تاثیر چندگانه برخورد ذرات پرانرژی، هر سه نوع محوشدگی ذاتی مدار و دنبال کردن پالس اشکال در سیکل‌های ساعت متوالی که موجب افزایش دقت محاسبات می‌گردد.

ارائه روشی اکتشافی جدید برای تشخیص دروازه‌های همسایه برای لحاظ کردن تاثیر چندگانه برخورد ذرات پر انرژی

ارزیابی دقت روش پیشنهادی بر محدوده‌های مختلف و وسیع از بارهای تزریقی و دست‌یابی به دقت بسیار بالا (حدود ۹۸,۳ درصد) در مقایسه با روش مبتنی بر مونت‌کارلو

۳. روش پیشنهادی برای تخمین احتمال انتشار خطای نرم در بخش ترکیبی

برای یک مدار ترکیبی متشکل از m دروازه‌ی منطقی، نرخ رخداد خطا از رابطه‌ی (۱) بدست می‌آید که در این رابطه SER به معنای نرخ رخداد خطای نرم، P_{hit-Gi} احتمال برخورد یک ذره‌ی پر انرژی به دروازه G_i و $SER(G_i)$ به معنی نرخ رخداد خطای نرم در این دروازه است (بروز پالس اشکال در خروجی این دروازه). این پارامتر خود از رابطه‌ی (۲) بدست می‌آید.

$$SER = \sum_{i=1:m} P_{hit-Gi} \times SER(G_i) \qquad (۱)$$

$$SER(G_i) = \sum_k P_{Q_{inc}-k} \times SEOP(G_i, Q_{inc-k}) \times SEPP(G_i, Q_{inc-k}) \quad (۲)$$

در رابطه‌ی (۲)، $SEOP(G_i, Q_{inc-k})$ و $SEPP(G_i, Q_{inc-k})$ به ترتیب احتمال رخداد خطای نرم در دروازه G_i و احتمال انتشار خطای نرم از دروازه G_i بر اثر برخورد ذره‌ای با بار Q_{inc-k} می‌باشد. در ادامه، روشی برای محاسبه‌ی پارامتر دوم، یعنی احتمال انتشار خطای نرم از دروازه G_i ارائه می‌گردد.

۱.۳ روش پیشنهادی برای تخمین احتمال انتشار خطای نرم در مدارهای ترکیبی

برای تخمین احتمال انتشار خطای نرم در هر مدار ترکیبی، ابتدا گراف معادل آنرا درنظر می‌گیریم به طوری که گره‌ها، دروازه‌ها و لینک‌ها، اتصالات بین آنها هستند. برای نشان دادن لچ‌ها نیز، از شمای مربع بهره می‌گیریم. سپس برای محاسبه‌ی نرخ خطا، برای هر دروازه G_k (که k عددی بین یک تا تعداد کل دروازه‌های مدار ترکیبی است) یک پیمایش خطا انجام می‌دهیم. در این پیمایش فرض می‌شود که برخوردی در خروجی دروازه اتفاق افتاده است. سپس از خروجی آن دروازه تا خروجی‌های مدار یا ورودی لچ‌ها پیموده می‌شود و احتمال رسیدن خطا به خروجی‌های اصلی[۱] محاسبه می‌شود. همچنین احتمال رسیدن خطا به لچ‌ها در همان سیکل ساعت محاسبه شده و در سیکل‌های بعدی تا زمانی که این خطا به یکی از خروجی‌های اصلی برسد، دنبال می‌شود. سپس برای هر پیمایش، با در نظر گرفتن تمام مسیرهای ممکن برای رسیدن به یکی از POها، احتمال رخداد خطا (احتمال رسیدن خطا به آن PO) بدست می‌آید. معادل وزن‌دار این احتمال‌ها، معیار مناسبی را برای تخصیص میزان حساسیت هر دروازه، به دست می‌دهد. در هر سیکل ساعت، هر خطایی که به یک PO برسد، یک خرابی[۲] محسوب می‌شود و هر خطایی که به یک لچ می‌رسد، در سیکل‌های بعدی تا جایی دنبال شود که نهایتاً به یکی از POها برسد. باید به این نکته توجه داشت که از سیکل دوم به بعد، تنها فرآیند پوششی موجود، پوشش منطقی خواهد بود [۱۴]. به این ترتیب خطا در سیکل ساعت‌های متوالی نیز تعقیب می‌شود.

با عبور از هر دروازه‌ی G_k در پیمایش i (که مربوط به تزریق اشکال به دروازه‌ی G_i است)، چهار پارامتر $(to_k(i)$، $ti_k(i)$، $E_k(i)$ و $L_k(i))$ محاسبه می‌شود. پارامترهای $ti_k(i)$ و $to_k(i)$ زمان‌های آغاز و پایان پالس اشکال و پارامترهای $E_k(i)$ و $L_k(i)$ به ترتیب احتمال احتمال عدم پوشش الکتریکی و عدم پوشش منطقی دروازه k در پیمایش i هستند. هر لینک m در پیمایش i دارای یک احتمال خطا به صورت $P_{Lm}(i)$ است که برابر با احتمال وجود پالس اشکال در آن لینک (لینک m) در پیمایش i است. در مثال شکل (۱)، بدیهی است که در پیمایش i احتمال $P_{Lm}(i)$ برابر با یک است، اگر لینک m، لینک متصل به خروجی دروازه i باشد.

با تعریف فوق، به عنوان مثال در شکل (۱) داریم: (لحاظ کردن پوشش‌های منطقی و الکتریکی)

$$P_{L8}(1) = P_{L5}(1) \times L_4(1) \times E_4(1) + P_{L6}(1) \times L_4(1) \times E_4(1)$$

باید توجه داشت که در این مثال: $P_{L6}(1) = 1$ و $P_{L5}(1) = 1$

برای $P_{L9}(1)$ که یک لینک متصل به لچ است، داریم: (لحاظ کردن پوشش زمانی)

$$P_{L9}(1) = P_{L8}(1) \times T_1(1)$$

---

[۱] **Primary Output (PO)**
[۲] **Failure**

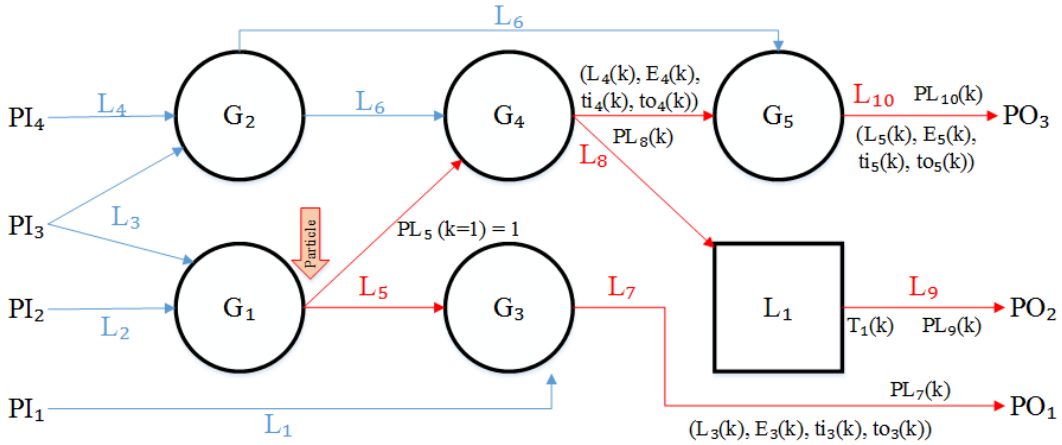
که در آن، $T_1(1)$ احتمال عدم تأثیر پوشش زمانی لچ (n=۱) ام در پیمایش (i=۱) می‌باشد.

برای گره G_i با ورودی‌های L_l و خروجی L_m در پیمایش i، $P_{lm}(i)$ از رابطه‌ی (۳) بدست می‌آید.

$$P_{Lm}(i) = \sum_{l:\text{inputs of gate } G_k \text{ in traveling } G_i} L_{k-l}(i) \times E_{k-l}(i) \times P_{Ll}(i) \quad (۳)$$

برای مربع (لچ) La_n با ورودی L_m و خروجی PO_n با در نظر گرفتن پوشش زمانی در پیمایش دروازه G_i، احتمال وجود پالس خطا (SET) در PO_n از رابطه‌ی (۴) بدست می‌آید. در این رابطه، $T_n(i)$ این احتمال است که پالس اشکال SET در پنجره‌ی نمونه برداری قرار بگیرد و توسط La_n لچ شود.

$$P_{POn}(i) = P_{Lm}(i) \times T_n(i) \quad (۴)$$



شکل ۱ – گراف معادل برای یک مدار ترکیبی

۲.۳ وارد کردن اثر پوشش‌های ذاتی الکتریکی، منطقی و زمانی

برای مدل کردن تأثیر پوشش منطقی از منطق چهار مقداره ۱، ۰، 1^e و 0^e استفاده می‌شود. وقتی یک لینک یکی از دو مقدار ۰ و یا ۱ را داراست، بدین معنی است که لینک دارای منطق صحیح ۰ یا ۱ است. اما وقتی لینکی در یک لحظه دارای مقدار 0^e و یا 1^e است، به معنای آن است که این لینک دارای مقدار غلط ۰ و یا ۱ در اثر عبور پالس اشکال می‌باشد. این منطق مشابه منطق ارائه شده در [۱۶] است. منطق ارائه شده در [۱۶]، انتشار پالس خطا در مسیرهای همگرا را به خوبی در نظر می‌گیرد و می‌تواند تأثیر سیگنال‌های اشکال را که در یک مسیر همگرا به هم می‌رسند، به خوبی مدل کند. اما با در نظر گرفتن تأثیر چندگانه‌ی اشکال، این منطق نمی‌تواند تأثیر دو اشکال ناشی شده از دو دروازه‌ی مختلف را که در یک مسیر همگرا به هم می‌رسند، مدل کند [۱۵،۶]. برای حل این مشکل، در این مقاله از منطق چهار مقداره ۱، ۰، 1^e و 0^e استفاده شده است.

در هر پیمایش، یک سری پالس اشکال در مدار منتشر می‌شوند که مطابق توضیحات ارائه شده، در طی این انتشار خطا، احتمال وجود پالس اشکال در هر یک از لینک‌های گراف محاسبه می‌شود. در پیمایش G_i، برای لینک m که خروجی گره G_k است، $L_k(i)$ در رابطه‌ی (۳) از رابطه‌ی (۵) بدست می‌آید.

$$L_k(i) = P_{0e}(G_k) + P_{1e}(G_k) \quad (۵)$$

که در آن $P_{.e}(G_k)$ و $P_{1e}(G_k)$، به ترتیب احتمال داشتن منطق 0^e و 1^e در خروجی دروازه G_k می باشد.

برای یک دروازه NAND و یا NOR با n ورودی، $P_{.e}(G_k)$ و $P_{1e}(G_k)$ از روابط زیر بدست می‌آیند [۶]:

$$P_{0e}(out)_{NAND} = \prod_{i=1}^{n}[P_1(in\,i) + P_{1e}(in\,i)] - P_0(out)_{NAND} \quad (۶)$$

$$P_{1e}(out)_{NAND} = \prod_{i=1}^{n}[P_1(in\,i) + P_{0e}(in\,i)] - P_0(out)_{NAND} \quad (۷)$$

$$P_0(out)_{NAND} = \prod_{i=1}^{n}[P_1(in\,i)] \quad (۸)$$

$$P_{0e}(out)_{NOR} = \prod_{i=1}^{n}[P_0(in\,i) + P_{1e}(in\,i)] - P_1(out)_{NOR} \quad (۹)$$

$$P_{1e}(out)_{NOR} = \prod_{i=1}^{n}[P_0(in\,i) + P_{0e}(in\,i)] - P_1(out)_{NOR} \quad (۱۰)$$

$$P_1(out)_{NOR} = \prod_{i=1}^{n}[P_0(in\,i)] \quad (۱۱)$$

برای مدل کردن پوشش الکتریکی از یک تابع انتقال که در [۱۷] ارائه شده است، استفاده می‌شود. این تابع، پالس اشکال گذرا را با یک شکل موج ذوزنقه‌ای مدل می‌کند. در این تابع، تضعیف پالس الکتریکی با گذشت از دروازه‌ها با یک دقت قابل قبول محاسبه می‌شود.

برای مدل کردن پوشش زمانی، از رابطه‌ی (۱۲) استفاده می‌شود. در این رابطه، $T_n(i)$ احتمال لچ شدن پالس اشکال در پیمایش دروازه G_i است. همچنین t_{s-n} و t_{h-n} به ترتیب زمان‌های نشست[۱] و ماندگاری[۲] مربوط به لچ می‌باشند و نهایتاً PW_i و T به ترتیب عرض پالس گذرا و دوره تناوب سیلکل ساعت هستند [۱۵].

$$T_n(i) = \frac{t_{s-n} + t_{h-n} + PW_i}{T} \quad (۱۲)$$

۳.۳ در نظر گرفتن تأثیر برخورد چندگانه‌ی ذرات

با کوچکتر شدن بیشتر ابعاد ترانزیستورها، مدارهای CMOS در برابر خطاهای نرم آسیب‌پذیرتر می‌شوند، بطوریکه، یک ذره با برخورد به یک ترانزیستور و ایجاد پالس اشکال، همچنان دارای انرژی لازم جهت ایجاد پالس‌های اشکال دیگر در ترانزیستورهای همجوار می‌باشد. برای مدل کردن این تأثیر چندگانه ذرات، ابتدا باید روشی داشت تا به کمک آن بتوان دروازه‌های همسایه‌ی دروازه‌ی اولی که مورد اصابت قرار گرفته را تشخیص داد. همانطور که پیش‌تر اشاره شد، در [۱۵،۶] روش‌هایی برای تشخیص همسایگی ارائه شده است که ماهیتی اکتشافی[۳] دارند. همانطور که می‌دانیم، روش‌های اکتشافی مبتنی بر یک کلیت صحیح هستند که گاهی ممکن است چندان درست و دقیق نباشند. در ادامه، یک روش اکتشافی دیگر برای تشخیص همسایگی ارائه می‌شود تا موجب افزایش دقت محاسبات گردد. در این روش، برای پیمایش مربوط به دروازه G_i، یک و یا دو همسایه‌ی آن نیز مورد بررسی قرار می‌گیرند. بدین معنی که یک و یا دو همسایه از دروازه G_i شناسایی شده و پالس اشکالی از آن‌ها نیز منتشر می‌شود. بدین منظور، در گراف معادل مدار، برای هر گره مشخص (گره ۳ در شکل ۲)، همسایگی‌های زیر تعیین می‌گردد:

گره‌های ورودی یک گره، با هم همسایه هستند (گره‌های ۱ و ۲ در شکل ۲).

---

[۱] **Settling time**
[۲] **Holding time**
[۳] **Heuristic**

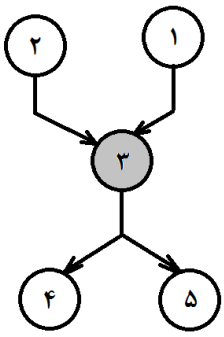
گره‌های ورودی یک گره، با آن گره همسایه هستند (گره ۱ با ۳ و گره ۲ با ۳).

گره‌های خروجی یک گره با هم همسایه هستند (گره ۴ و ۵).

گره‌های خروجی یک گره، با آن گره همسایه هستند (گره ۵ با ۳ و گره ۴ با ۳).

باید در نظر داشت که تخمین دقیق‌تر همسایه یک دروازه نیاز به اطلاعات مربوط به چیدمان[۱] مدار دارد که در مرحله‌ی طراحی مدار در دسترس نیست. در شکل (۲) نمونه‌هایی از همسایگی مثال زده شده است. از آنجایی که طبق [۱۸] بیش از ۹۰ درصد از خطاهای چندگانه، دوگانه هستند، در این روش فرض بر این است که خطاهای چندگانه، حداکثر سه‌گانه هستند [۶].

در هر پیمایش برای دروازه G_i، بسته به بار ذره مورد اصابت (Q_{inc}) و بار بحرانی دروازه G_i (Q_{crit}) و همسایگانش، سه احتمال تأثیر یگانه، دوگانه و سه گانه را داریم. با این توضیحات، احتمال انتشار خطا از دروازه G_i از رابطه‌ی (۱۳) بدست می‌آید. در این رابطه، $EPP(G_i,Q_{inc})$ برابر با احتمالی است که پالس اشکال ایجاد شده در خروجی G_i به یک PO (یکی از خروجی‌های مدار) برسد. همچنین $EPP(G_k,Q_{inc})$ این احتمال برای همسایه G_i (یعنی دروازه G_k) در تأثیر دوگانه ذره اصابت کرده است. و نهایتاً $EPP(G_{k1,k2},Q_{inc})$ این احتمال برای تمام حالات ممکن از ترکیب دو همسایه G_i در تأثیر سه‌گانه است [۶].



شکل ۲ – مثالی از همسایگی دروازه‌ها

$$SEPP(G_i,Q_{inc})=\begin{cases} EPP(G_i,Q_{inc}) & ,Q_{crit}G_i<Q_{inc}<Q_{crit}Gi+Q_{crit}G_k \\ EPP(G_i,Q_{inc})+\dfrac{\sum_{k=1}^{N}EPP(G_k,Q_{inc})}{N} & ,Q_{crit}Gi+Q_{crit}G_k<Q_{inc}<Q_{crit}Gi+Q_{crit}G_{k1}+Q_{crit}G_{k2} \\ EPP(G_i,Q_{inc})+\dfrac{\sum_{k1k2=1}^{N}EPP(G_{k1k2},Q_{inc})}{N} & ,Q_{crit}Gi+Q_{crit}G_{k1}+Q_{crit}G_{k2}<Q_{inc} \end{cases} \quad (۱۳)$$

با استفاده از رابطه (۱۴) می‌توان همه‌ی دروازه‌ها را بر اساس میزان حساسیت و تأثیرشان در نرخ انتشار خطا در کل مدار، رتبه‌بندی کرد. به این طریق می‌توان دروازه‌های تأثیرگذارتر در انتشار خطا را شناسایی کرده و از روش‌های مقابله با انتشار پالس اشکال برای مقاوم‌سازی بهینه‌ی مدار استفاده کرد.

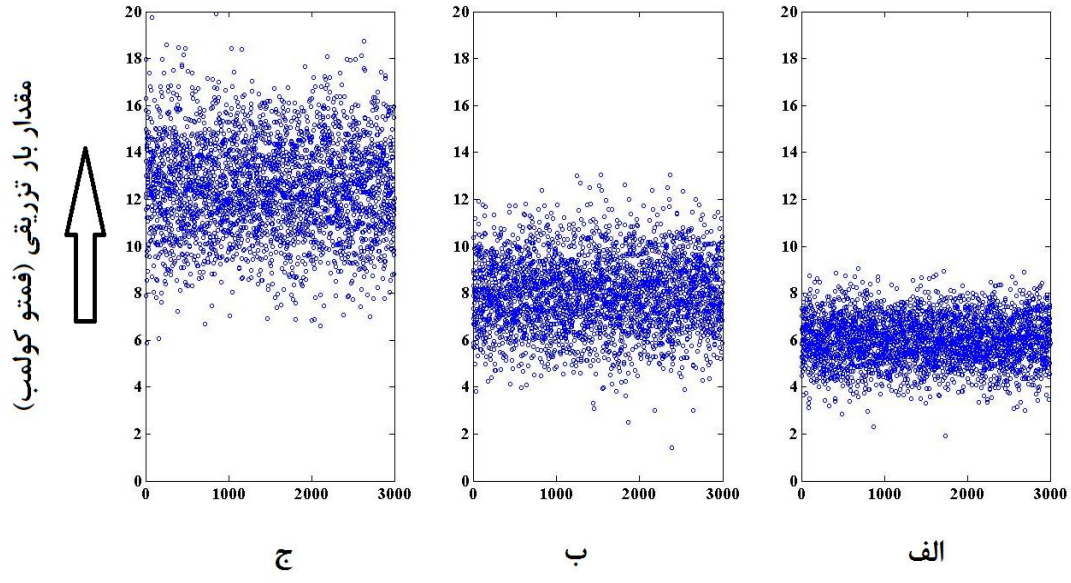
$$SEPP(G_i)=\sum_k P_{Q_{inc}-k}\times SEPP(G_i,Q_{inc-k}) \quad (۱۴)$$

[۱] **Layout**

۴. نتایج شبیه‌سازی‌های انجام شده

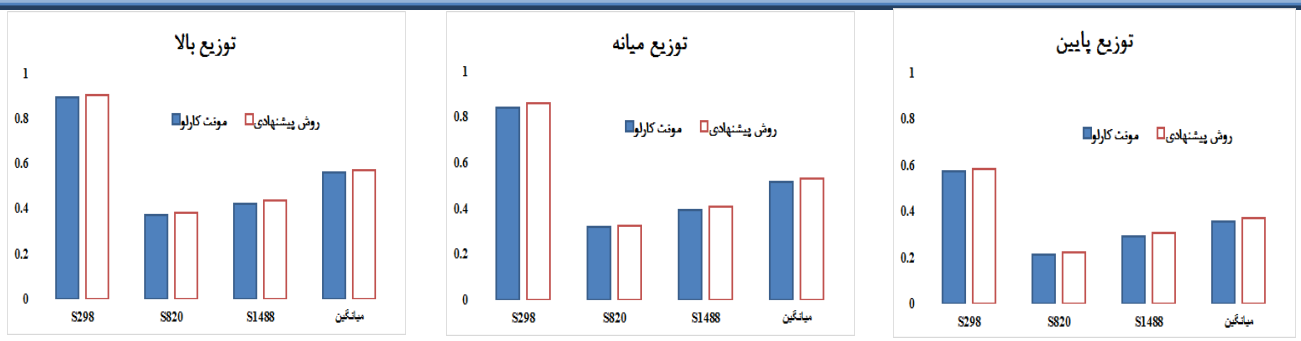
برای مقایسه دقت روش پیشنهاد شده برای تخمین احتمال انتشار خطای نرم در مدارهای ترکیبی، این روش را با روش شبیه‌سازی مبتنی بر مونت‌کارلو مقایسه کرده‌ایم. برای این منظور، در هر پیمایش ۳۰۰۰ پالس اشکال برای مقادیر مختلف بار تزریق شده است. با توجه به اینکه در [۱۹] بیان شده که بار تزریقی توسط ذره نوترون می‌تواند از ۱۰ تا ۱۵ فمتوکولمب متغیر باشد، در شبیه‌سازی های انجام شده، توزیع‌های نرمال متنوعی با این مقادیر مورد استفاده قرار گرفته است. این توزیع‌ها در شکل (۳) نشان داده شده است. در شکل (۴)، پهناهای پالس ایجاد شده بر اثر هر یک از این توزیع‌ها نشان داده شده است. نمودارهای داده شده در این شکل، برای مدارهای S۲۹۸، S۸۲۰ و S۱۴۸۸ از مدارهای محک ISCAS'۹۸ است. همانطور که در این شکل‌ها مشاهده می‌شود، با بیشتر شدن تعداد بارهای بزرگ، تعداد پالس‌های دوم و سوم و همچنین پهنای آن‌ها نیز افزایش می‌یابد. از آنجا که تا کنون مدل و یا داده‌هایی حاصل از نتایج تجربی برای بارهای تزریق شده در نقاط همسایه در اثر برخورد چندگانه یک ذره پر انرژی ارائه نشده است، در این شبیه‌سازی‌ها توزیع‌های متنوعی شامل طیف‌های مختلف از تزریق بار مورد استفاده قرار گرفته است.

در شکل (۴)، نرخ رخداد خطای کل در این مدارها با روش مبتنی بر شبیه‌سازی مونت‌کارلو و روش ارائه شده در این مقاله، مقایسه شده‌اند. در شکل (۵)، سرعت محاسبه‌ی نرخ رخداد خطای نرم در روش پیشنهادی با روش مبتنی بر شبیه-سازی مونت‌کارلو[۱] برای چند مدار محک (از مدارهای کوچک تا بزرگ) مورد مقایسه قرار گرفته است. لازم به توضیح است که پارامترهای $P_{hit\text{-}Gi}$ و $SEOP(G_i,Q_{inc})$ در معادلات (۱) و (۲) برای سادگی برابر با معکوس تعداد کل دروازه‌ها در نظر گرفته شده است. باید توجه داشت که مشابه [۲۰،۱۵،۱۲،۱۱،۷]، احتمال اینکه ورودی هر یک از مدارها برابر با ۱ باشد، برابر با ۰،۵ فرض شده است.



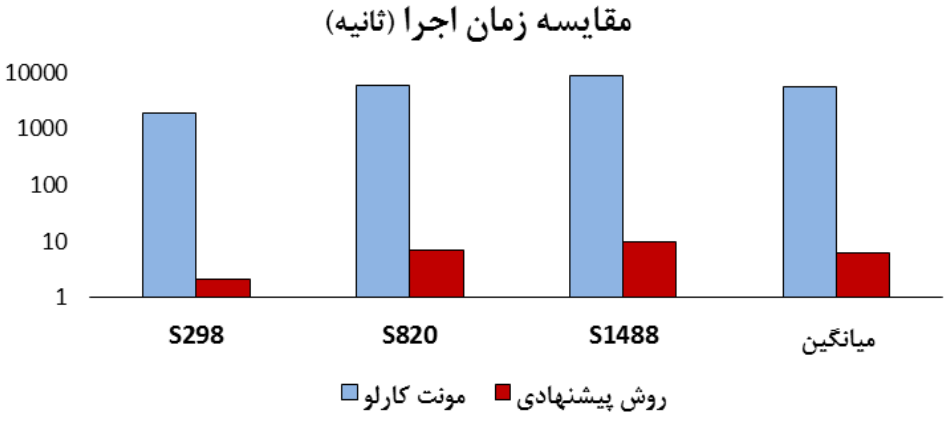
شکل ۳ – توزیع‌های نرمال متنوع برای بارهای تزریقی: الف) توزیع پایین (L) ب) توزیع میانه (M)، ج) توزیع بالا (H)

[۱] **Monte Carlo**



شکل ۴ – مقایسه‌ی دقت روش پیشنهادی با روش مبتنی بر مونت‌کارلو برای مدارهای مختلف از ISCAS'۹۸ و توزیع‌های متناظر بار تزریقی نشان داده شده در شکل (۳). الف) برای توزیع بار شکل (۳-الف)، ب) برای توزیع بار شکل (۳-ب)، ج) برای توزیع بار شکل (۳-ج)

برای توصیف مدارها و همچنین تعیین توزیع بارهای تزریقی از برنامه‌نویسی در محیط MATLAB استفاده شده است. همچنین برای توصیف رفتار هر دروازه (با توجه به خازن‌های خروجی، تعداد ورودی‌ها، ولتاژ تغذیه، فن‌آوری مورد استفاده) و همچنین رفتار مربوط به تزریق اشکال (متناسب با میزان بار تزریقی) از شبیه‌سازی در محیط HSPICE با استفاده از کتابخانه‌ی NanGate [۲۱] در فن‌آوری ۳۲nm [۲۲] بهره گرفته شده است. در شبیه‌سازی‌های HSPICE، ولتاژ تغذیه برابر با یک ولت (در دمای اتاق) منظور شده است. از آنجایی که در [۱۳] چنین ارزیابی شده که پالس‌های اشکال در مدارهای ترکیبی عموماً حداکثر تا ده سیکل ساعت یا به PO می‌رسند و یا اینکه توسط پوشش‌های ذاتی مدار، حذف می‌شوند، در شبیه‌سازی‌های انجام شده، پالس‌های اشکال تا ده سیکل ساعت در مدار دنبال شده‌اند.



شکل ۵ – مقایسه‌ی زمان اجرای روش پیشنهادی با شبیه‌سازی مونت‌کارلو

۵. نتیجه‌گیری و جمع‌بندی

با توجه به نتایج بدست آمده در شکل (۴)، مشاهده می‌شود که اختلاف روش پیشنهادی با روش مبتنی بر مونت‌کارلو به طور متوسط کمتر از ۲٪ است. که این خطا در مقایسه با روش‌های مشابه، با توجه به اینکه تأثیر برخورد چندگانه ذرات

نیز مدل شده است، بسیار قابل قبول بوده و حاکی از دقت بالای روش پیشنهادی است. در شکل (۵)، نشان داده شده است روش پیشنهادی حدود ۹۰۰ برابر سریع‌تر از روش مبتنی بر مونت‌کارلو است. بنابراین می‌توان چنین ارزیابی کرد که روش پیشنهادی می‌تواند دقتی قابل قبول در کنار سرعت بسیار بالا در تخمین نرخ انتشار خطا در مدارهای ترکیبی برای شناسایی دروازه‌های آسیب‌پذیر ارائه دهد.

۶. مراجع

۱. Ferlet-Cavrois, V. Massengill, L.W. Gouker, P. (۲۰۱۳), "Single Event Transients in Digital CMOS," IEEE Transactions on Nuclear Science, **۶۰** (۳), pp ۱۷۶۷–۱۷۹۰.

۲. Rajaei, R. Asgari, M. Tabandeh, M. Fazeli, M. (۲۰۱۵), "Design of Robust SRAM Cells against Single Event Multiple Effects for Nanometer Technologies," IEEE Transactions on Device and Materials Reliability (TDMR), **۱۵** (۳), pp. ۴۲۹–۴۳۶.

۳. Rajaei, R. Fazeli, M. Tabandeh, M. (۲۰۱۴), "Soft Error-Tolerant Design of MRAM-based-Non-Volatile Latches for Sequential Logics," IEEE Transactions on Magnetics (TMAG), **۵۱** (۶).

٤. Rajaei, R. Tabandeh, M. Fazeli, M. (۲۰۱۴), "Single Event Multiple Upset (SEMU) Tolerant Latch Designs in Presence of Process and Temperature Variations," Journal of Circuits, Systems and Computers (JCSC), World Scientific, **۲۴** (۰۱).

٥. Hsiao-Heng Kelin, L. Klas, L. Mounaim, B. Prasanthi, R. Linscott, I.R. Inan, U.S. Subhasish, M. (۲۰۱۰), "LEAP: Layout Design through Error-Aware Transistor Positioning for soft-error resilient sequential cell design," IEEE Transaction on Reliability Physics Symposium (IRPS), Anaheim, California, pp. ۲۰۳-۲۱۲.

٦. Rajaei, R. Tabandeh, M. Fazeli, M. (۲۰۱۴), "Soft Error Rate Estimation for Combinational Logic in Presence of Single Event Multiple Transients," Journal of Circuits, Systems and Computers (JCSC), World Scientific, **۲۳** (۰۶).

۷. Asadi, H. Tahoori, M. Fazeli, M. Miremadi, S.G. (۲۰۱۲), "Efficient Algorithm to Accurately Compute Derating Factors of Digital Circuits," Elsevier Microelectronics Reliability.

۸. Dhillon, Y.S. Diril, A.U. Chatterjee, A. (۲۰۰۵), "Soft-Error Tolerance Analysis and Optimization of Nanometer Circuits," In Proceedings of the conference on Design, Automation and Test in Europe, **۱۱** (۰۷), pp ۲۸۸–۲۹۳.

۹. Zhang, B. and Orshansky, M. (۲۰۰۵), "SER Prediction by Symbolic Simulation of the Propagation and Filtering of Transient Faulty Pulses," Workshop on System Effects of Logic Soft Errors, Urbana-Champaign, IL.

۱۰. Mohyuddin, N. Pakbaznia, E. Pedram, M. (۲۰۰۸), "Probabilistic Error Propagation in Logic Circuits using the Boolean Difference Calculus," in Proceedings of the IEEE International Conference on Computer design (ICCD), pp. ۷-۱۳.

۱۱. Asadi, G. and Tahoori, M.B. (۲۰۰۵), "An Accurate SER Estimation Method based on Propagation Probability," in Proceedings of the IEEE/ACM international conference on design, automation and test in Europe (DATW), pp. ۳۰۶-۳۰۷.

۱۲. Asadi, G. and Tahoori, M.B. (۲۰۰۵), "An Analytical Approach for Soft Error Rate Estimation in Digital Circuits," in Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS), vol. ۳, pp. ۲۹۹۱-۲۹۹۴.

۱۳. Fazeli, M. Miremadi, S.G. Asadi, H. Ahmadian, S.N. (۲۰۱۰), "A Fast and Accurate Multi-Cycle Soft Error Rate Estimation Approach to Resilient Embedded Systems Design," The ۴۰th Annual IEEE/IFIP International Conference on Dependable Systems and Networks (DSN ۲۰۱۰), Chicago, USA.

۱٤. Takata, T. and Matsunaga, Y. (۲۰۱۱), "A robust algorithm for pessimistic analysis of logic masking effects in combinational circuits," IEEE ۱۷th International conference on On-Line Testing Symposium (IOLTS), pp. ۲۴۶-۲۵۱.

۱۵. Fazeli, M. Ahmadian, S.N. Miremadi, S.G. Asadi, H. Tahoori, M.B. (۲۰۱۱), "Soft Error Rate Estimation of Digital Circuits in Presence of Multiple Event Transients (METs)," Proceedings of the IEEE/ACM International Conference on Design Automation and Test In Europe (DATE), Grenoble, France.

۱٦. Asadi, H. and Tahoori, M.B. (۲۰۱۰), "Soft Error Modeling and Remediation Techniques in ASIC Designs," Journal of Elsevier Microelectronics.

۱۷. Rajaraman, R. Kim, J.S. Vijaykrishnan, N. Xie, Y. Irwin, M.J. (۲۰۰۶), "SEAT-LA: A Soft Error Analysis Tool for Combinational logic," in Proceeding of the ۱۹th International Conference on VLSA Design, Hyderabad, pp. ۴۹۹,۵۰۲.

۱۸. Miskov-Zivanov, N. and Marculescu, D. (۲۰۰۹), "A Systematic Approach to Modeling and Analysis of Transient Faults in Logic Circuits," in Proceeding of Quality of Electronic Design, Sanjose, pp. ۴۰۸-۴۱۳.

۱۹. Fuketa, H. Harada, R. Hashimoto, M. Onoye, T. (۲۰۱۴), "Measurement and Analysis of Alpha-Particle-Induced Soft Errors and Multiple-Cell Upsets in ۱۰T Sub-threshold SRAM," IEEE Transaction on Device and Materials Reliability, vol. ۱۴.

۲۰. Asadi, H. and Tahoori, M.B. (۲۰۰۵), "Soft Error Modeling and Protection for Sequential Elements," IEEE Intl. Symposium. On Defect and Fault Tolerance in VLSI Systems (DFT), Monterey, CA, pp. ۴۶۳-۴۷۱.

۲۱. NanGate Library: http://www.nangate.com

۲۲. Predictive Technology Model (PTM): http://ptm.asu.edu