

خلاصه‌ی تجربیات و سوابق

مشخصات فردی



نام و نام خانوادگی: علی جهانیان
نام پدر: محمد حسن
کد ملی: ۰۰۶-۶۵۸۹۴۵-۲
سال و محل تولد: ۱۳۵۳- تهران
شغل: هیأت علمی دانشگاه شهید بهشتی
آدرس: تهران-اوین-دانشگاه شهید بهشتی-دانشکده‌ی علوم و مهندسی کامپیوتر
پست الکترونیکی: jahanian@sbu.ac.ir
تلفن همراه: ۰۹۱۲-۶۵۴۱۳۰۸
تلفن محل کار: ۲۹۹۰۴۱۸۸

سوابق تحصیلی

مقطع آموزشی	مرکز آموزشی	رشته تحصیلی	شروع دوره	پایان دوره	ملاحظات
متوسطه	دبیرستان قدس - شهرستان دامغان	ریاضی و فنی	۱۳۶۷	۱۳۷۱	رتبه دوم
کارشناسی	دانشکده‌ی فنی-دانشگاه تهران	سخت افزار	۱۳۷۱	۱۳۷۵	رتبه نخست
کارشناسی ارشد	دانشکده‌ی کامپیوتر دانشگاه صنعتی امیرکبیر	معماری کامپیوتر	۱۳۷۵	۱۳۷۷	رتبه نخست
دکتری	دانشکده‌ی کامپیوتر دانشگاه صنعتی امیرکبیر	معماری کامپیوتر	۱۳۸۰	۱۳۸۶	نمره کامل

افتخارات

- کسب رتبه‌ی نخست فارغ‌التحصیلان سال ۱۳۷۵ کارشناسی سخت‌افزار دانشکده‌ی فنی دانشگاه تهران
- کسب رتبه‌ی نخست فارغ‌التحصیلان سال ۱۳۷۷ کارشناسی ارشد معماری کامپیوتر دانشگاه صنعتی امیرکبیر
- انتخاب به عنوان محقق برتر مرکز تحقیقات مخابرات ایران در سال ۱۳۷۶
- انتخاب به عنوان محقق برتر دانشگاه‌های استان قزوین در سال ۱۳۸۶
- عضویت در بنیاد ملی نخبگان از سال ۱۳۸۷
- کسب رتبه پنجم جهانی در مسابقات بین‌المللی طراحی سخت‌افزار Memocode در سال ۲۰۱۲
- انتخاب به عنوان مدرس نمونه دانشگاه شهید بهشتی در سال ۱۳۹۱
- انتخاب به عنوان پژوهشگر برتر دانشگاه شهید بهشتی در سال ۱۳۹۱
- کسب رتبه نخست مسابقات ملی طراحی دیجیتال - شاخه طراحی FPGA در سال ۱۳۹۲
- کسب رتبه نخست مسابقات ملی طراحی دیجیتال - شاخه طراحی لی اوت در سال ۱۳۹۳
- کسب رتبه نخست مسابقات امنیت سخت‌افزار در سال ۱۳۹۳

سوابق اجرایی

- عضویت هیأت علمی در دانشگاه شهید بهشتی از سال ۱۳۸۷
- مدیریت گروه مهندسی کامپیوتر (۱۳۹۱ – ۱۳۹۳)
- مدیریت گروه معماری سامانه‌های کامپیوتری (۱۳۹۳ – ۱۳۹۵)
- عضو هیأت مدیره انجمن میکرو الکترونیک ایران (۱۳۹۳-۱۳۹۴)
- دبیر سیزدهمین کنفرانس بین‌المللی انجمن رمز ایران در سال ۱۳۹۵
- دبیر سومین مسابقه ملی طراحی دیجیتال در سال ۱۳۹۵

زمینه‌های پژوهشی مورد علاقه

- طراحی فیزیکی مدارهای مجتمع پرتراکم
- طراحی و ساخت تراشه‌های زیستی
- طراحی کامپیوترهای مبتنی بر DNA
- امنیت سخت‌افزار و طراحی سخت‌افزارهای امن

دروس در حال تدریس

دروس کارشناسی:

- الکترونیک دیجیتال
- طراحی مدارهای مجتمع پرتراکم
- طراحی خودکار سخت‌افزار

دروس کارشناسی ارشد:

- الگوریتم‌های طراحی خودکار VLSI
- امنیت سخت‌افزار و طراحی امن سخت‌افزار
- طراحی سیستم‌های نهفته

مقالات علمی (بیش از ۱۰۰ مقاله علمی شامل ۳۵ مقاله ژورنال و ۷۰ مقاله کنفرانس)

لطفا جهت مشاهده لیست کامل مقالات به آدرس <http://facultymembers.sbu.ac.ir/jahanian> مراجعه فرمایید.

1. [1] Zohreh Beiki and Ali Jahanian, DENA: A Configurable Micro-architecture and Design Flow for Bio-medical DNA-based Logic Design, in IEEE Transactions on Biomedical Circuits and Systems, doi: 10.1109/TBCAS.2017.2708747, 2017.
2. Armin Belghadr and Ali Jahanian, Three-dimensional Physical Design Flow for Monolithic 3D-FPGAs to Improve Timing Closure and Chip Area, Systems, in World Scientific Journal of Circuits, Systems, and Computers (JCSC), Vol.26, No.10, 2017.
3. Sedigheh Farhadtooski and Ali Jahanian, Customized Placement Algorithm of Nanoscale DNA Logic Circuits, in World Scientific Journal of Circuits, Systems, and Computers (JCSC), Vol.26, No.10, 2017.
4. Mercedeh Sanjabi, Ali Jahanian and maryam Tahmasebi, High-Performance General-Purpose Arithmetic Operations using the Massive Parallel DNA-based Computation, in EuroMicro Digital System Design (DSD), 2017.
5. Hamed Hossein Talaee and Ali Jahanian, Layout Vulnerability Reduction against Trojan Insertion using Security-aware White Space Distribution, In International Symposium on VLSI (ISVLSI), 2017.
6. Sharareh Zamanzadeh and Ali Jahanian, ASIC Design Protection against Reverse Engineering during the Fabrication Process using Automatic Netlist Obfuscation Design Flow, In ISC International Journal of Information Security (ISecure), Vol.8, No.2, pp. 87-98, 2016.

7. Sharareh Zamanzadeh and Ali Jahanian, Self Authentication Path Insertion in FPGA-based Design Flow for Tamper-resistant Purpose, In *ISC International Journal of Information Security (ISeCure)*, Vol. 8, No. 1, pp. 53-60, 2016.
8. Sharareh Zamanzadeh and Ali Jahanian, Security Path: an Emerging Design Methodology to Protect the FPGA IPs against Passive/Active Design Tampering, In *Journal of Electronic Testing: Theory and Applications (JETTA)*, Vol. 32, No. 3, pp: 329-343, 2016.
9. Maryam Taajobian and Ali Jahanian, Higher Flexibility of Reconfigurable Digital Micro/Nano Fluidic Biochips using an FPGA-Inspired Architecture, In *Scientia Iranica*, Vol. 23, No. 3, 2016.
10. Sharareh Zamanzadeh and Ali Jahanian, Higher Security of ASIC Fabrication Process Against Reverse Engineering Attack using Automatic Netlist Encryption Methodology, In *Elsevier Microprocessors and Microsystems*, Vol.42, pp. 1–9, 2016.
11. Mehrshad Vosoughi and Ali Jahanian, Security-aware Register Placement to Hinder Malicious Hardware Updating and Improve Trojan Detectability, *The ISC International Journal of Information Security (ISeCure)*, Vol.7, No.2, 2015.
12. Hassan Daryanavard, Mohammad eshghi, and Ali Jahanian, A Fast Placement Algorithm for Embedded Just-In-Time Reconfigurable Extensible Processing Platform, *Journal of Supercomputing*, Vol. 171, pp: 121-143, 2015.
13. Marzieh Morshehdzadeh and Ali Jahanian, Three-dimensional Switchbox Multiplexing in Emerging 3D-FPGAs to Reduce Chip Footprint and Improve TSV Usage, Accepted in *Elsevier Integration the VLSI Journal*, Vol. 50, pp: 81-90, 2015.
14. M. Bakhshizadeh and A. Jahanian, Trojan Vulnerability Map: an Efficient Metric for Modeling and Improvement of Hardware Security Level , In *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Vol.E97-A, No.11, 2014.
15. A.M. Zarei, A. Jahanian, RF Resource Planning in Application Specific Integrated Circuits to Improve Timing Closure, In *CSI Journal on Computer Science and Engineering*, 2014.
16. Pishvaei, G. Jaberipur and A. Jahanian, High-performance CMOS (4:2) compressors, In *Taylor & Francis International Journal of Electronics*, DOI:10.1080/00207217.2014.880133, 2014.
17. Z. Mohammadi-Arfa and A. Jahanian, Improved Delay and Process Variation Tolerance of Clock Tree Network in Ultra-large Circuits using Hybrid RF/Metal Clock Routing, In *World Scientific Journal of Circuits, Systems, and Computers (JCSC)*, Vol.23, No.4, 2014.
18. Belghadr and A. Jahanian, Metro-on-FPGA: a feasible solution to improve the congestion and routing resource management in future FPGAs, In *Elsevier Integration the VLSI Journal*, Vol. 47, No.1, 2014.
19. Pishvaei, G. Jaberipur, and A. Jahanian, Redesigned CMOS (4; 2) compressor for fast binary multipliers, In *Canadian Journal of Electrical and Computer Engineering*, 2013, Vol.36, No.3, 2013.
20. R. Abdollahi and A. Jahanian, Improved Timing Closure by Analytical Buffer and TSV Planning in Three-dimensional Chips, In *Institute of Electrical, Information and Communication Engineers Transaction on Electronics*, Vol. 9, No.24, 2012.
21. Y. Zare and A. Jahanian, Improved Line Tracking System for Autonomous Navigation of High-Speed Vehicle, In *International Journal of Robotics and Automation*, Vol. 1, No.3, pp. 31-41, 2012.
22. Pishvaei, G. Jaberipur, and A. Jahanian, Improved CMOS (4:2) compressor designs for parallel multipliers, In *Elsevier Computers & Electrical Engineering*, Vol. 12, No. 6, 2012.
23. M. T. Teimoori, , A. Jahanian, and A. Dokhanchi, Performance Improvement and Congestion Reduction of Large FPGAs using On-chip Microwave Interconnects, In *Institute of Electrical, Information and Communication Engineers Transaction on Electronics*, , Vol. E95-c, No. 10, 2012.
24. Farkish and A. Jahanian, Parallelizing the FPGA global routing algorithm on multi-core systems without quality degradation, In *Institute of Electrical, Information and Communication Engineers Electronic Express Journal*, Vol. 8, No. 24, 201

تجربیات فنی و تحقیقاتی

<ul style="list-style-type: none"> - ساخت اولین سیستم منطقی مبتنی بر DNA در کشور - ساخت تراشه میکروفلوئیدیک برای خودکارسازی فرآیندهای شیمیایی - ساخت نخستین گیت محاسباتی DNA به صورت آزمایشگاهی در کشور - دبیر سیزدهمین کنفرانس بین المللی انجمن رمز ایران - دبیر سومین دوره مسابقات ملی طراحی سیستم‌های دیجیتال - طراحی ابزار تحلیل و بهبود امنیت پیش ساخت افزار - کسب رتبه نخست مسابقات ملی طراحی سیستم‌های دیجیتال - شاخه طراحی لی اوت 	از ۱۳۹۴ تا کنون
<p style="text-align: center;">در سال ۱۳۹۵</p> <ul style="list-style-type: none"> - انجام پروژه تحلیل و مهندسی معکوس رشته بی تی FPGA - تحلیل و حمله به الگوریتم رمز AES پیاده سازی شده روی پردازنده AVR - طراحی و پیاده‌سازی سخت‌افزار فوق موازی برای حمله همه جانبه به ماجولهای رمز - راهاندازی گروه پژوهشی تراشه‌های زیستی - طراحی اولین تراشه زیستی ریز سیال دیجیتال در کشور در سال ۱۳۹۲ - کسب رتبه نخست مسابقات ملی طراحی دیجیتال - شاخه طراحی لی اوت در سال ۱۳۹۳ - کسب رتبه نخست مسابقات امنیت سخت‌افزار در سال ۱۳۹۳ - کسب رتبه نخست ایده‌های زیستی در جشنواره ملی ایده‌های زیستی با طرح تراشه <p style="text-align: center;">ریزسیال دیجیتال</p>	از ۱۳۹۲ تا ۱۳۹۴
<ul style="list-style-type: none"> - طراحی و پیاده‌سازی نخستین نمونه از تراشه‌ی آرایه‌ی دروازه‌ای قابل برنامه‌ریزی (FPGA) کشور در دانشگاه شهید بهشتی (این تراشه مراحل ساخت فیزیکی را سپری می‌کند). - طراحی و پیاده‌سازی ابزار طراحی FPGA بر اساس معماری ارائه شده در دانشگاه شهید بهشتی - کسب مقام پنجم در مسابقات جهانی طراحی سخت‌افزار Memocode سال ۲۰۱۲ - طراحی ابزار آموزشی طراحی خودکار سه بعدی Edu3D و ارائه در نمایشگاه مونیخ سال ۲۰۱۲ 	از ۱۳۸۹ تا ۱۳۹۲
<ul style="list-style-type: none"> - عضویت به عنوان هیأت علمی گروه مهندسی کامپیوتر دانشکده‌ی مهندسی برق و کامپیوتر دانشگاه شهید بهشتی - طراحی ابزار آموزشی طراحی خودکار EduCAD و ارائه در نمایشگاه مونیخ سال ۲۰۱۱ 	از ۱۳۸۷ تا ۱۳۸۹ طراحی و تحقیق در مورد ابزار آموزشی طراحی خودکار
<ul style="list-style-type: none"> - مدیر فنی طراحی و توسعه ابزار طراحی فیزیکی خودکار اطلس - طراحی و پیاده‌سازی ابزار جاسازی (Floorplanner) بصورت دستی و خودکار برای ابزار طراحی فیزیکی اطلس، گروه طراحی خودکار دانشگاه صنعتی امیرکبیر، ۱۳۸۳-۱۳۸۴. - طراحی و پیاده‌سازی ابزار جایابی (Placer) در ابزار طراحی فیزیکی اطلس، گروه طراحی خودکار دانشگاه صنعتی امیرکبیر، ۱۳۸۳-۱۳۸۴. - طراحی و پیاده‌سازی ابزار چینش پدها (PADs/IO placer) برای ابزار طراحی فیزیکی اطلس، گروه طراحی خودکار دانشگاه صنعتی امیرکبیر، ۱۳۸۵. 	از ۱۳۸۳ تا ۱۳۸۷ طراحی و تحقیق در مورد ابزار خودکار تولید چینش

<ul style="list-style-type: none"> - طراحی و پیاده‌سازی ابزار تحلیل زمانی ایستا (Static Timing Analysis) برای ابزار طراحی فیزیکی اطلس، گروه طراحی خودکار دانشگاه صنعتی امیرکبیر، ۱۳۸۶. 	
<ul style="list-style-type: none"> - طراحی سطح سیستمی و RTL پردازنده مورد استفاده در پروژه‌ی طراحی تراشه VOIP، دانشگاه صنعتی امیرکبیر، ۱۳۸۳. - طراحی بخش Media processor در پروژه‌ی طراحی تراشه VOIP، دانشگاه صنعتی امیرکبیر، ۱۳۸۳. 	<p style="text-align: center;">از ۱۳۸۱ تا ۱۳۸۳ طراحی و تحقیق در مورد سیستم‌های نهفته Voice over IP</p>
<ul style="list-style-type: none"> - عضو تیم طراحی و ساخت تراشه کارت هوشمند بانکی، شرکت نیمه هادی عماد، ۱۳۷۹. - عضو تیم طراحی و ساخت تراشه سیم‌کارت که هم‌اکنون بصورت عملیاتی مورد استفاده قرار می‌گیرد، شرکت نیمه هادی عماد، ۱۳۷۹. - تست پس از Wafer تراشه سیم‌کارت با تعامل با شرکت TSMC تایوان، شرکت نیمه هادی عماد، ۱۳۸۰. - طراحی و پیاده‌سازی تراشه کارت حافظه بعنوان کارت تلفن، شرکت نیمه هادی عماد، ۱۳۸۰. - طراحی سیستم کارت بهداشت و دفترچه تامین اجتماعی الکترونیکی برپایه استفاده از کارت هوشمند، شرکت نیمه‌هادی عماد، ۱۳۸۱. - طراحی بخش کارت بهداشت در پروژه‌ی شهر هوشمند، شرکت نیمه‌هادی عماد، ۱۳۸۲. 	<p style="text-align: center;">از ۱۳۷۸ تا ۱۳۸۲ طراحی و ساخت سخت-افزارهای دیجیتال</p>
<ul style="list-style-type: none"> - مدیریت تیم طراحی ابزارهای سخت‌افزار، شرکت نیمه‌هادی عماد - پیاده‌سازی ابزار شبیه‌ساز سطح سوئیچ زبان Verilog، شرکت نیمه هادی عماد، ۱۳۷۷. - مدیریت پروژه‌ی ابزار مفسر زبان Verilog، شرکت نیمه هادی عماد، ۱۳۷۸. - مدیریت پروژه‌ی ابزار شبیه‌ساز مختلط آنالوگ و دیجیتال، شرکت نیمه هادی عماد، ۱۳۷۸. - مدیریت پروژه‌ی ابزار نمایشگر شکل موج عام منظوره، شرکت نیمه‌هادی عماد، ۱۳۷۸. 	<p style="text-align: center;">از ۱۳۷۸ تا ۱۳۸۲ طراحی و توسعه ابزارهای طراحی خودکار سخت-افزار</p>
<ul style="list-style-type: none"> - پیاده‌سازی کامل پردازنده MIPS R3000، مرکز تحقیقات مخابرات ایران، ۱۳۷۶. - شبیه‌سازی توأم یک سوئیچ ISDN با زبانهای C و VHDL، مرکز تحقیقات مخابرات ایران، ۱۳۷۶. - پیاده‌سازی ابزار Automatic Processor Interface Synthesis جهت ایجاد یک سیستم نهفته، مرکز تحقیقات مخابرات ایران، ۱۳۷۷. 	<p style="text-align: center;">از ۱۳۷۶ تا ۱۳۷۸ تحقیق در مورد HW/SW Co-design در مرکز تحقیقات مخابرات ایران</p>
<ul style="list-style-type: none"> - طراحی و پیاده‌سازی کامل سیستم Data Acquisition با ۱۶ کانال برای کار با سیگنالهای حساس پزشکی در دانشکده‌ی فنی دانشگاه تهران با مدیریت جناب دکتر احمدی نوبری، ۱۳۷۵ - پیاده‌سازی و تست کامل بخش نرم‌افزاری ابزار تست لرزه نگار واگن پارس، شرکت کاوشیاران، ۱۳۷۵. 	<p style="text-align: center;">سوابق کاری قبل از ۱۳۷۶</p>