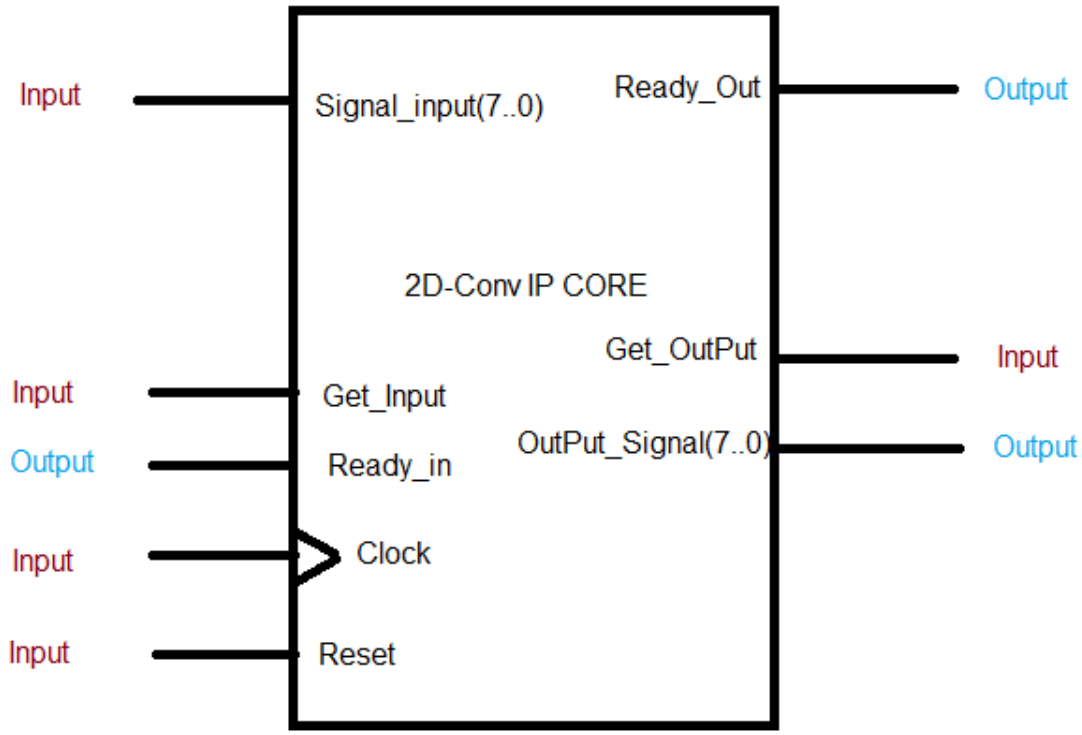
باسلام

پروژه تا اول دی ماه باید به ایمیل assemble.hilbert@gmail.com باsubject: proj_signal فرستاده شود. تاریخ تحویل حضوری متعاقبا اعلام میشود.

صورت پروژه:

در این پروژه قصد بر آن است که سیستمی طراحی شود که یک سیگنال ۲۵۵ در ۲۵۵ را از ورودی به طریقی که شرح داده خواهد شد بگیرد و عبارت را با ماتریس زیر کانوالو نموده و در حافظه خود نگهدارد و پس از آماده شدن خروجی با بیتی پایان عملیات را مشخص کرده و نتیجه را در آنطور که بیان خواهد شد نمایش دهد.



سناریو کار سیستم به این ترتیب است که ابتدا ماجول باید ریست شود تا در حالت ابتدایی قرار بگیرد . سپس بیت Ready_in فعال باشد به نشانه ی این که سیستم مورد نظر آماده دریافت است . هرگاه ورودی Get_Input یک بود و کلاک زده شد یکی از خونه های ماتریس ورودی با عدد Input_signal پر می شود (پر شدن به ترتیب سطری از بالا به پایین میباشد. یعنی ابتدا عدد خانه ۰ سپس عدد خانه ۱ و... تا عدد خان ۲۵۵.) وقتی سیگنال کامل از ورودی دریافت شد در ماتریس پایین باید کانوالو شود سپس پس از پایان عملیات کانوالوشن بیت Ready_out فعال میشود.

برای خواند خروجی به صورت سطر به سطر کافی است که بیت Get_output یک شود و در هر کلاک خروجی سیگنال به ترتیب پیمایش سطری در output_signal ظاهر میشود.(مانند مرحله دریافت) پس از این که تمام خروجی ها دریافت شد (تمام ماتریس نتیجه پیموده شد .) Ready_out باید صفر شود. برای راه اندازی مجدد ماجول نیاز به فعال و غیر فعال کردن سیگنال Reset به صورت مجدد میباشد.

ماتریسی که باید در سیگنال ورودی کانوالو شود. $\begin{bmatrix} 0 & -1 & 0 \\ -1 & 4 & -1 \\ 0 & -1 & 0 \end{bmatrix}$

ملاک های ارزیابی:

۱)سرعت آماده شدن خروجی پس از دریافت ورودی

۲)مساحت مدار خروجی

۳)سنتز پذیر بودن

٤)مصرف توان

مواردی که موقع تحویل باید آماده باشد.

۱)کد (verilog – vhdl – matlab system generator) همراه با مستندات

۲)نتیجه سنتز بر روی design compiler یا xilinx ise

۳)test bench

٤) گزارش مربوط به مساحت و سرعت اجرا و مصرف توان