حافظه ۱

معماری کامپیوتر

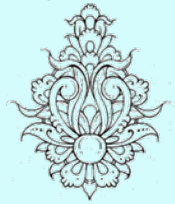
۱۳۵۱۱-۱۱-۱۳

جلسه‌ی نوزدهم

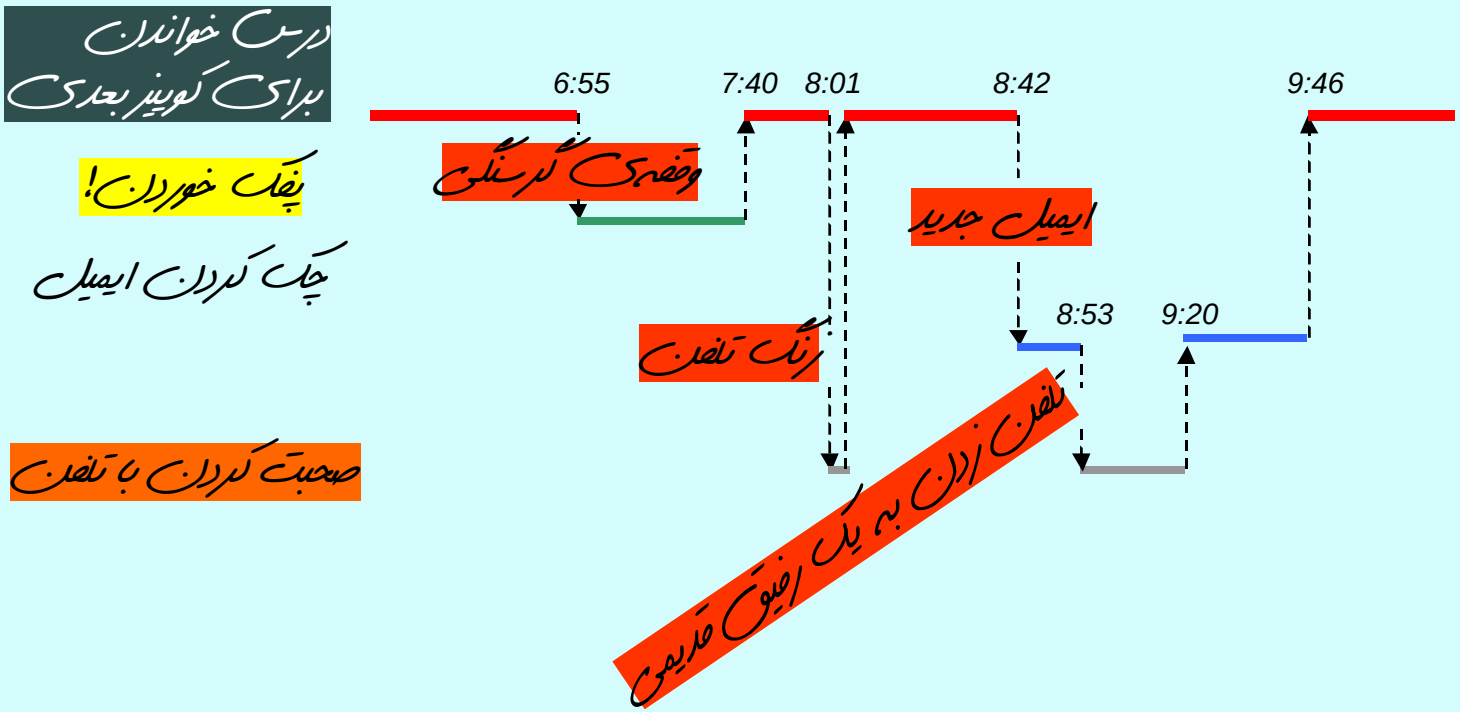
دانشگاه شهید بهشتی
دانشکده‌ی مهندسی برق و کامپیوتر
بهار ۱۳۹۵
احمد محمودی ازناوه

فهرست مطالب

- سلول‌های حافظه
  - حافظه‌ی ایستا
  - حافظه‌ی پویا
- کارایی حافظه
- سلسله‌مراتب در حافظه



استثنائات


درس خواندن
برای کوییز بعدی
پُک خوردن!
چک کردن ایمیل
صحبت کردن با تلفن
6:55
7:40
8:01
8:42
9:46
8:53
9:20
وضعیت گرسنگی
ایمیل جدید
زنگ تلفن
تلفن زدن به یک رفیق قدیمی

استثنائات (ادامه...)

"Unexpected" events

- حوادث پیش‌بینی نشده، می‌تواند روند عادی اجرای برنامه را تغییر دهد.
- در بسیاری از مراجع تمایزی بین وقفه و استثنا قائل نمی‌شوند، در برخی منابع وقفه را حالت کلی‌تر می‌دانند و استثنا را مربوط به عملکرد نادرست .
  - در x86 از واژه‌ی وقفه استفاده شده است.
- در MIPS، از واژه‌ی استثنا (برای هر نوع حادثه با منشأ درونی و بیرونی) استفاده می‌شود. وقفه را شامل حوادث با منشأ بیرونی می‌باشند.

نمونه‌ای از استثنائات

نوع حادثه	منشأ	واژه‌ی رایج در MIPS
درخواست واحد ورودی/خروجی	بیرونی	وقفه
درخواست از سیستم‌عامل از طرف برنامه‌ی کاربر	درونی	استثنا
رخداد سرریز	درونی	استثنا
استفاده از دستورالعمل نامشخص	درونی	استثنا
خرابی سخت‌افزار	هردو	استثنا / وقفه

برخورد با استثنائات، بدون تردید کار ساده‌ای نیست.

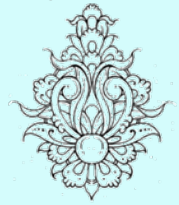
استثنائات (ادامه...)

- عدم توجه کافی به استثنائات در هنگام طراحی واحد کنترل می‌تواند موجب افت کارایی سیستم شود.
- در ادامه به طراحی دو نوع استثناء می‌پردازیم:
  - دستور ناشناخته
  - سرریز

هنگام بروز استثناء، پردازنده آدرس دستور جاری را در ثبات ویژه ذخیره نموده و کنترل را به بخش خاص از سیستم عامل می‌سپارد

EPC (exception programmer counter)

سیستم عامل، در این مواقع واکنشی از پیش تعیین شده انجام خواهد داد. سپس یا اجرای برنامه را خاتمه می‌دهد و یا ادامه‌ی برنامه را اجرا می‌کند.



استثنائات (ادامه...)

- سیستم عامل افزون بر دستوری که موجب رخداد استثنا شده است، می‌باید دلیل آن را نیز بداند.
  - در MIPS از یک ثبات وضعیت (status register) با نام ثبات سبب(ثبات علل واقعه) استفاده می‌شود.

Cause register

0 for undefined opcode, 1 for overflow

- در صورت بروز وقفه، مقدار PC به 8000 00180 تغییر خواهد کرد. در واقع رویه‌ی رسیدگی‌کننده به وقفه در آن‌جا قرار دارد.

Exception Handler

- با بررسی ثبات سبب نوع استثنا و در نتیجه واکنش مناسب تشخیص داده می‌شود.

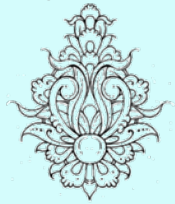
استثنائات (ادامه...)

vectored interrupt

- راه دیگری نیز وجود دارد: بردار وقفه(وقفه‌های برداری-وقفه‌های هدف‌گیری شده)

  -که برداری از آدرس‌های رویه‌های رسیدگی‌کننده به وقفه (interrupt handler) می‌باشد. در واقع در این شیوه مشخصا رویه‌ی مورد نظر فراخوانی می‌شود.

Exception type	Exception vector address (in hex)
Undefined instruction	$8000\ 0000_{hex}$
Arithmetic overflow	$8000\ 0180_{hex}$



بروز استثنا در پردازنده‌ی مجهز به خط لوله

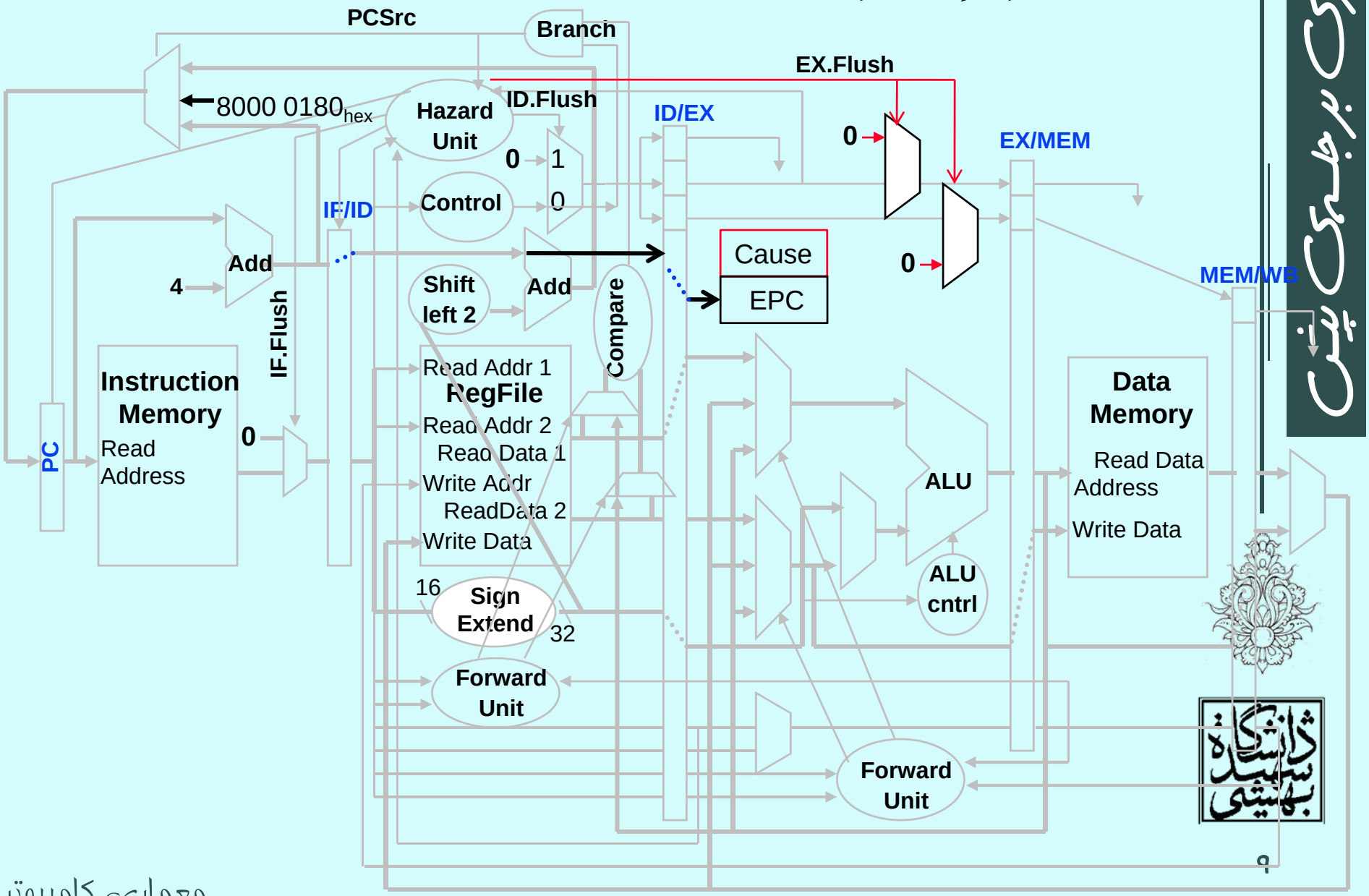
- در یک سیستم خط لوله یک استثنا، نوعی مخاطره‌ی کنترلی است.

```
add  $1,  $2,  $1
```

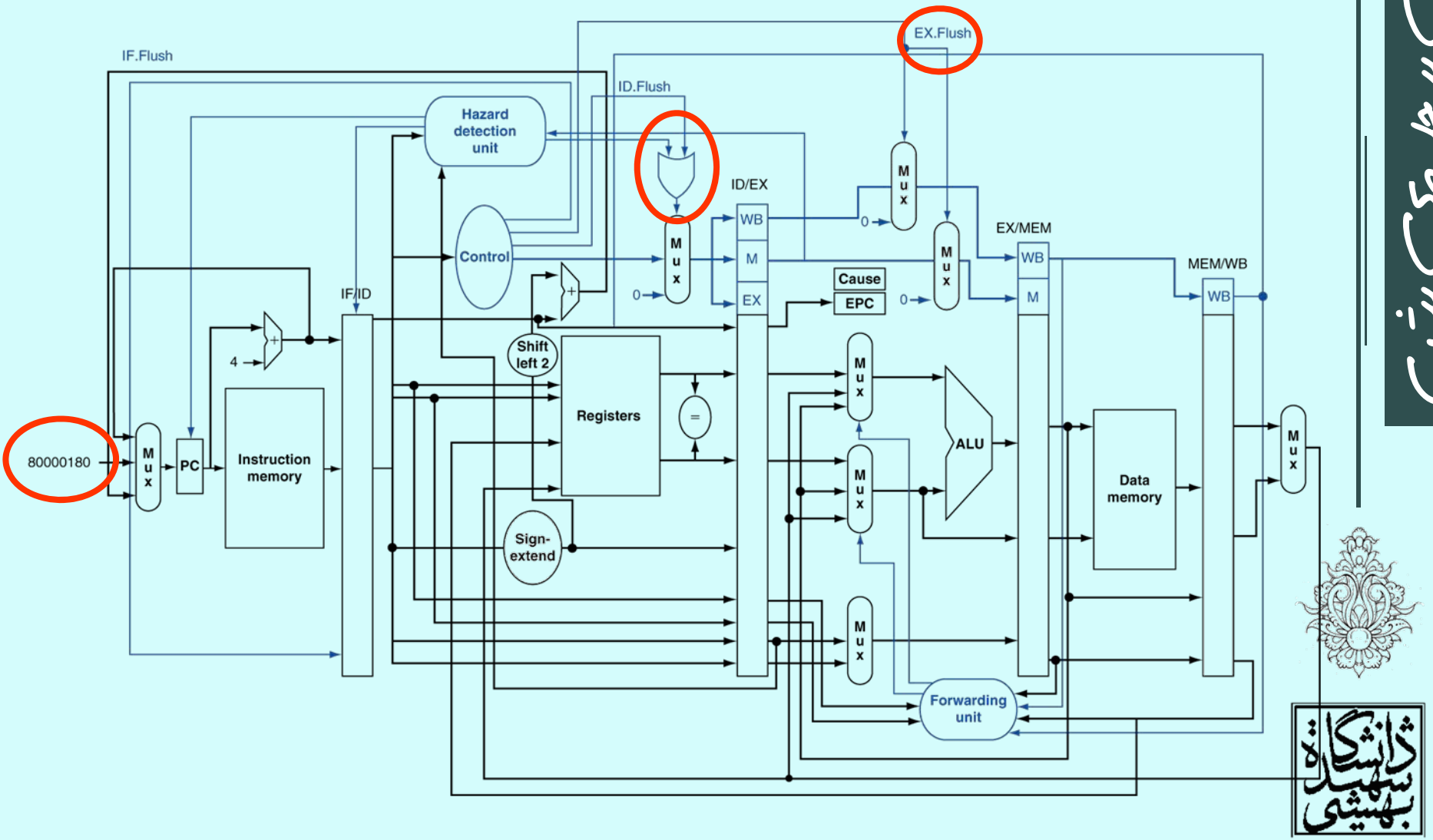
سرریز

- اجرای دستورات پیش از دستور add می‌باید کامل شود.
- دستور add و دستورهای بعدی از خط لوله تخلیه شوند.
- ثبات‌های سبب و EPC مقدار دهی شوند.
  - کنترل به رسیدگی‌کننده به وقفه سپرده شود.

داده گذر برای رسیدگی به استثنا



بروز استثنا در پردازنده‌ی مجهز به خط لوله (ادامه...)



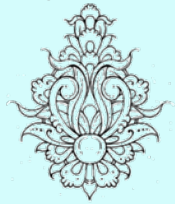
مثال

Exception on add

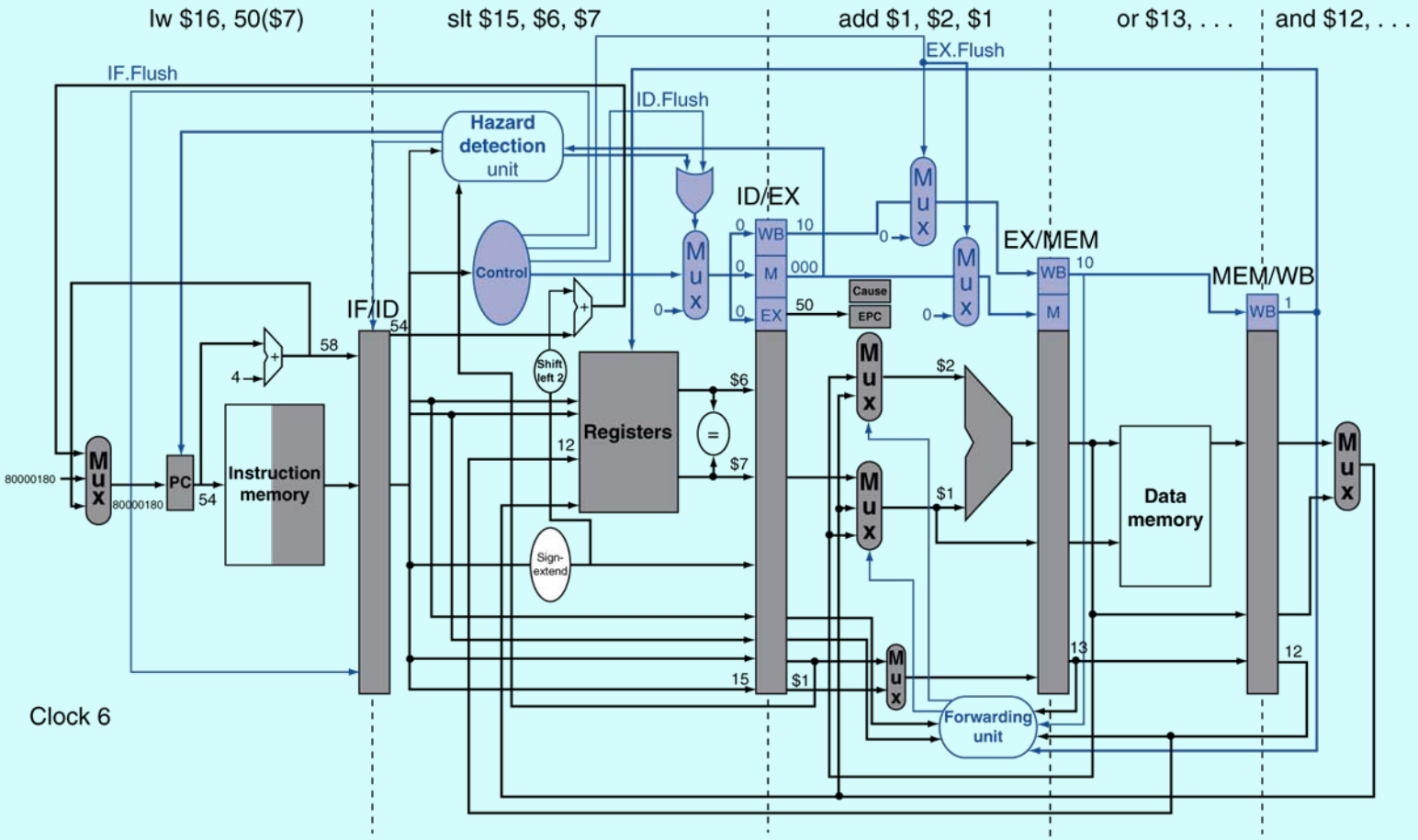
```
40 sub   $11, $2, $4
44 and   $12, $2, $5
48 or    $13, $2, $6
4C add   $1,  $2, $1
50 slt   $15, $6, $7
54 lw    $16, 50($7)
…
```

```
80000180      sw    $25, 1000($0)
80000184      sw    $26, 1004($0)
…
```

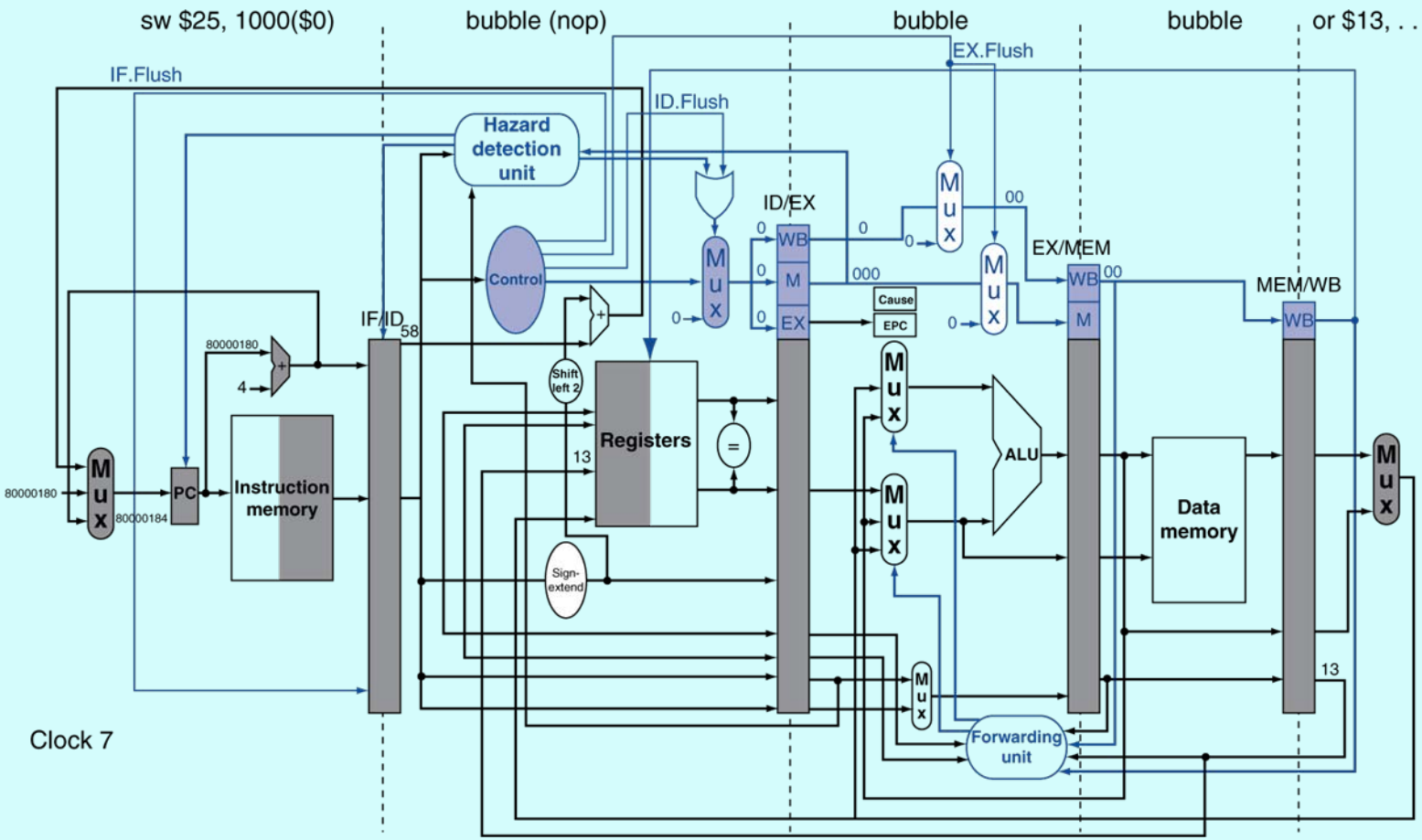
Handler



مثال

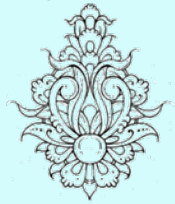

lw $16, 50($7)
slt $15, $6, $7
add $1, $2, $1
or $13, . . .
and $12, . . .
IF.Flush
ID.Flush
EX.Flush
Hazard detection unit
Control
ID/EX
EX/MEM
MEM/WB
IF/ID
WB
M
EX
Cause
EPC
Shift left 2
Registers
Instruction memory
PC
Data memory
Sign-extend
Forwarding unit
Mux
80000180
Clock 6

مثال

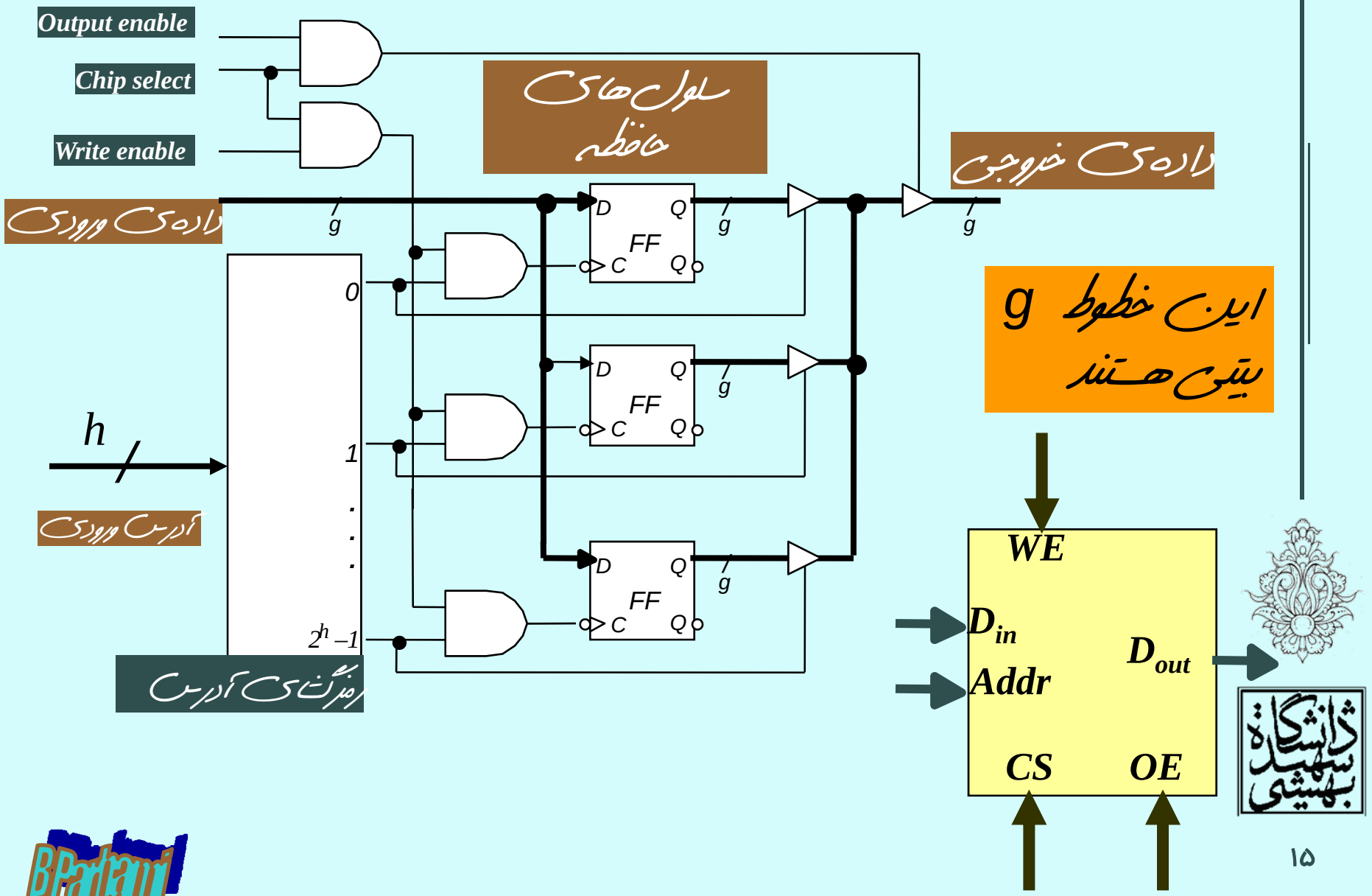

sw $25, 1000($0)
bubble (nop)
bubble
bubble
or $13, . . .
IF.Flush
ID.Flush
EX.Flush
Hazard detection unit
Control
ID/EX
EX/MEM
MEM/WB
WB
M
EX
Cause
EPC
IF/ID
58
80000180
4
PC
80000184
Instruction memory
Shift left 2
Registers
13
Sign-extend
ALU
Data memory
Forwarding unit
Mux
Clock 7

بروز همزمان چندین استثنا

- در خط لوله چند دستورالعمل همزمان اجرا می‌شوند.
  - بنابراین امکان بروز چند استثنا به صورت همزمان وجود دارد.
- می‌توان به استثنایی که مربوط به دستورالعمل‌های جلوتر هستند، زودتر رسیدگی نمود.

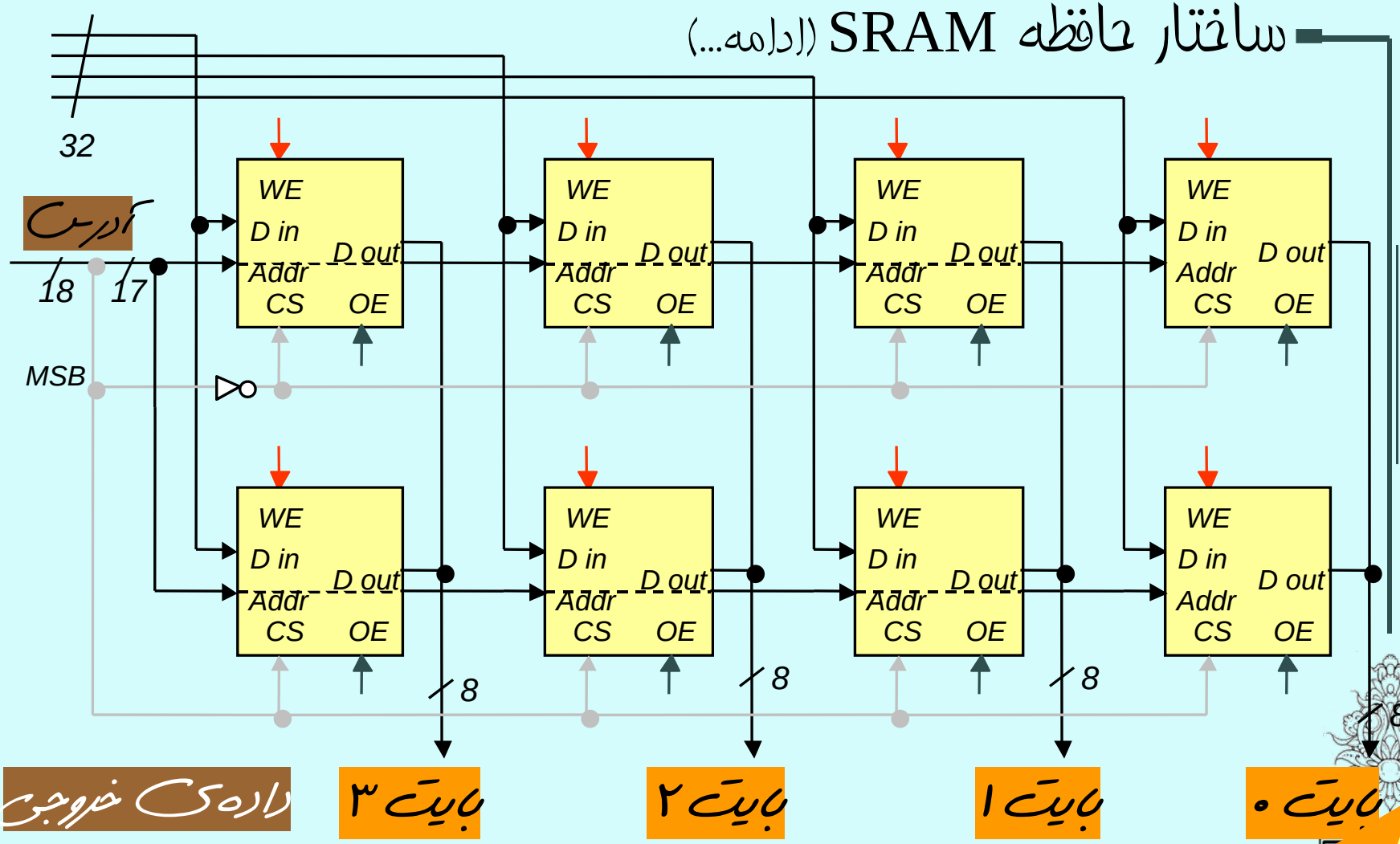


ساختار حافظه SRAM



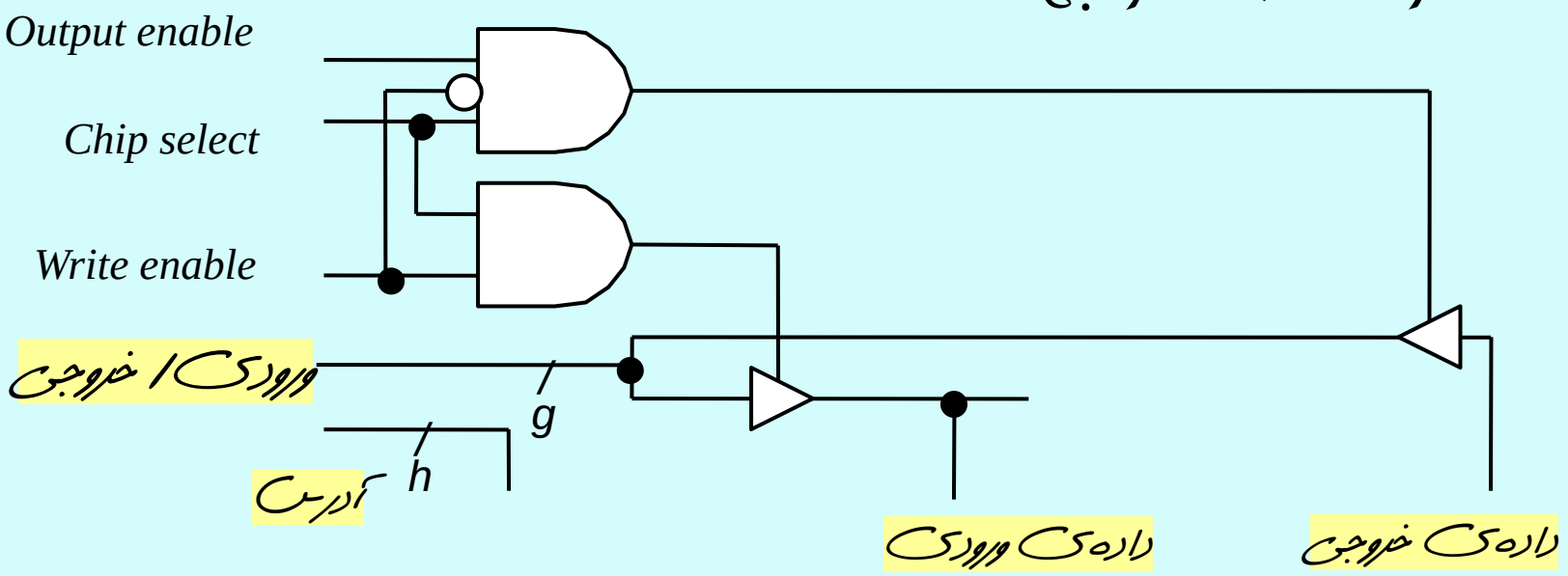
داده‌ی ورودی

ساختار حافظه SRAM (ادامه...)



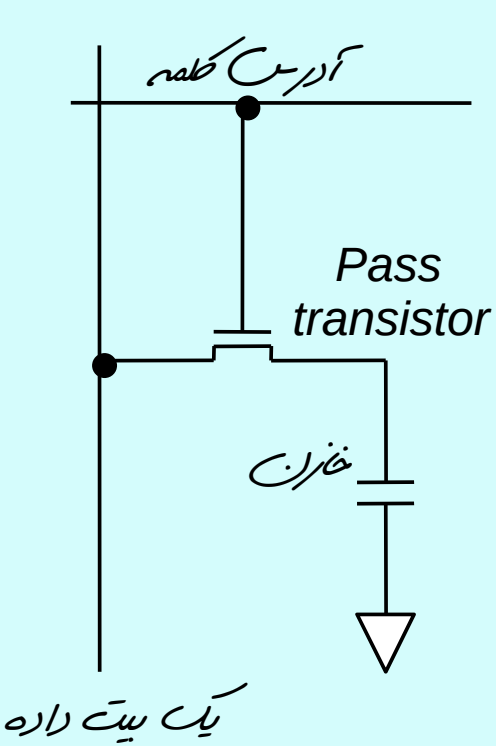
256×32Kb

گذرگاه داده دو جهته

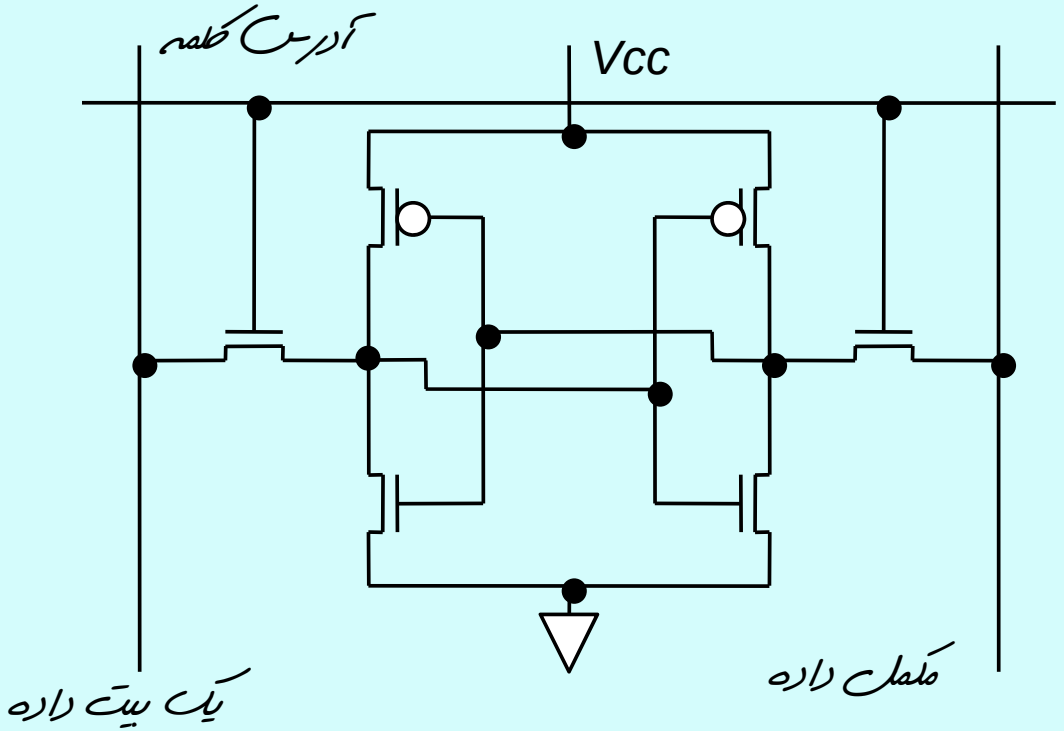


هنگامی که داده‌ی ورودی و خروجی به یک گذرگاه مشترک متصل شده باشند،
هنگامی که داده‌ای برای نوشتن در گذرگاه داده قرار می‌گیرد، خروجی سلول‌های حافظه باید غیرفعال شوند

DRAM در برابر SRAM



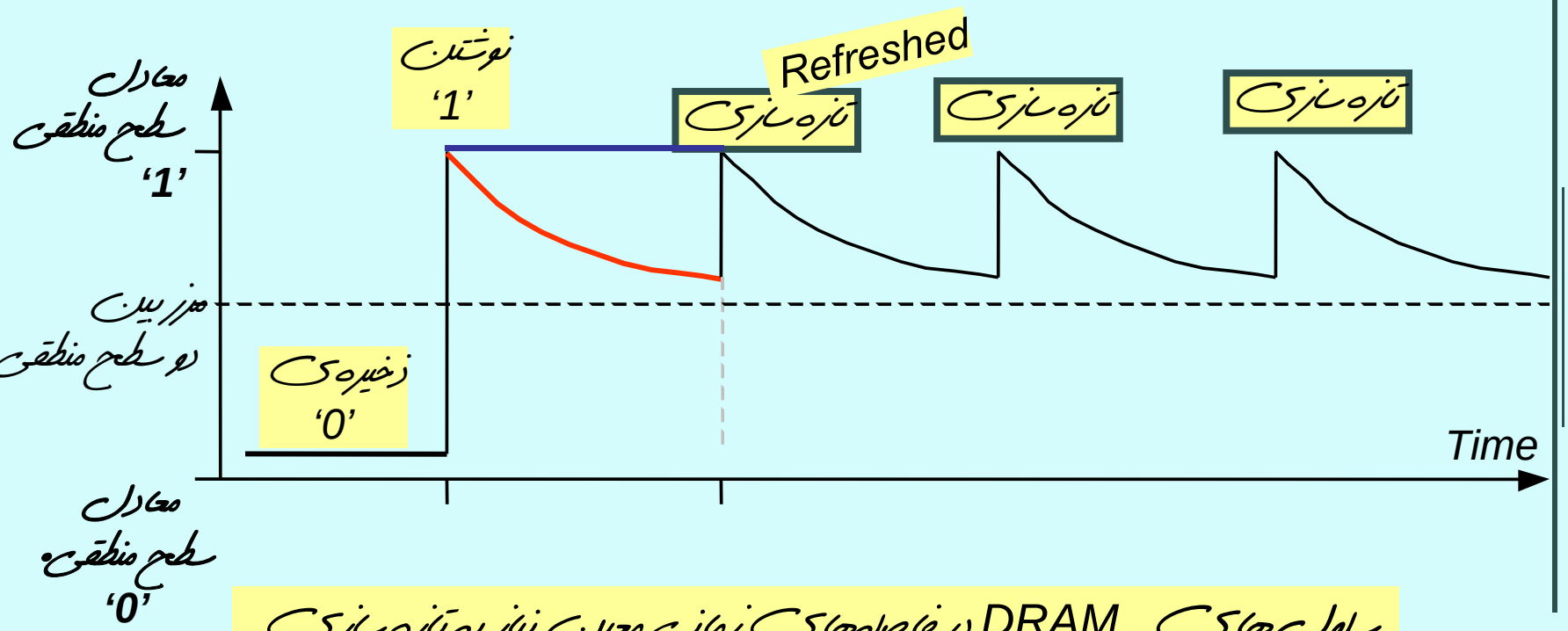
سلول DRAM



سلول SRAM

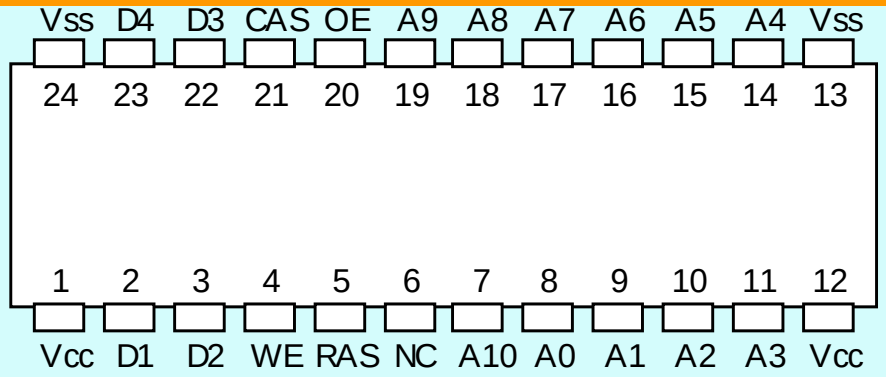
سلول‌های DRAM از سلول‌های SRAM ساده‌تر هستند، در نتیجه با این سلول می‌توان حافظه‌هایی با گنجایش بالاتر و در عین حال ارزان‌تر ساخت

تازه‌سازی



سلول‌های DRAM در فاصله‌های زمانی معین نیاز به تازه‌سازی محتوای خود دارند

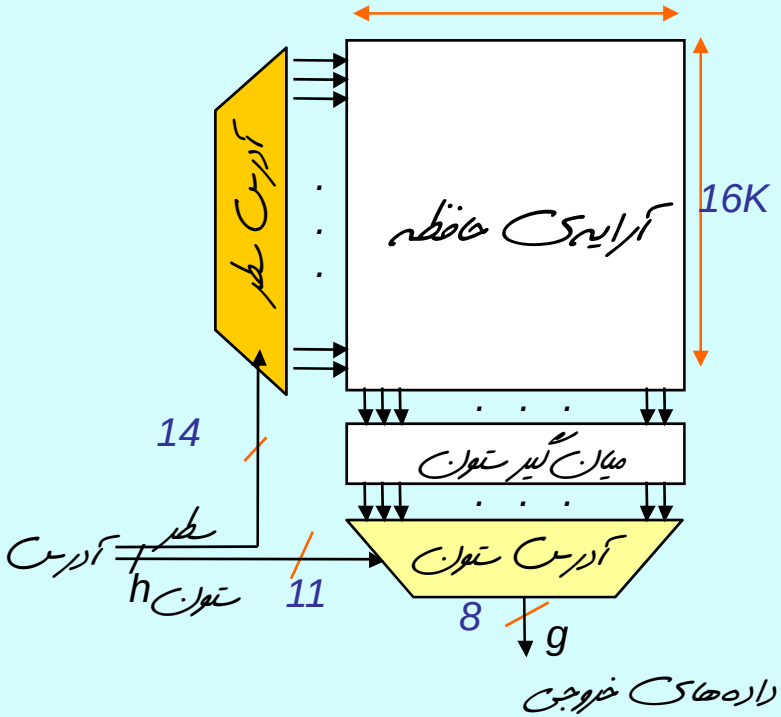
به نظر شما نیاز به تازه‌سازی چه مشکلاتی ایجاد می‌کند؟



Legend:

A*i*	Address bit *i*
CAS	Column address strobe
D*j*	Data bit *j*
NC	No connection
OE	Output enable
RAS	Row address strobe
WE	Write enable

یک DRAM با گنجایش 256 Mb مفروض است. این حافظه که به صورت 32M × 8 قابل دسترسی است، به صورت آرایه‌ای 16K × 16K می‌باشد. هر سطر دست‌کم هر 50 ms **باید** تازه‌سازی شود؛ این کار 100ns زمان می‌برد. چند درصد از پهنای باند هدر می‌رود؟



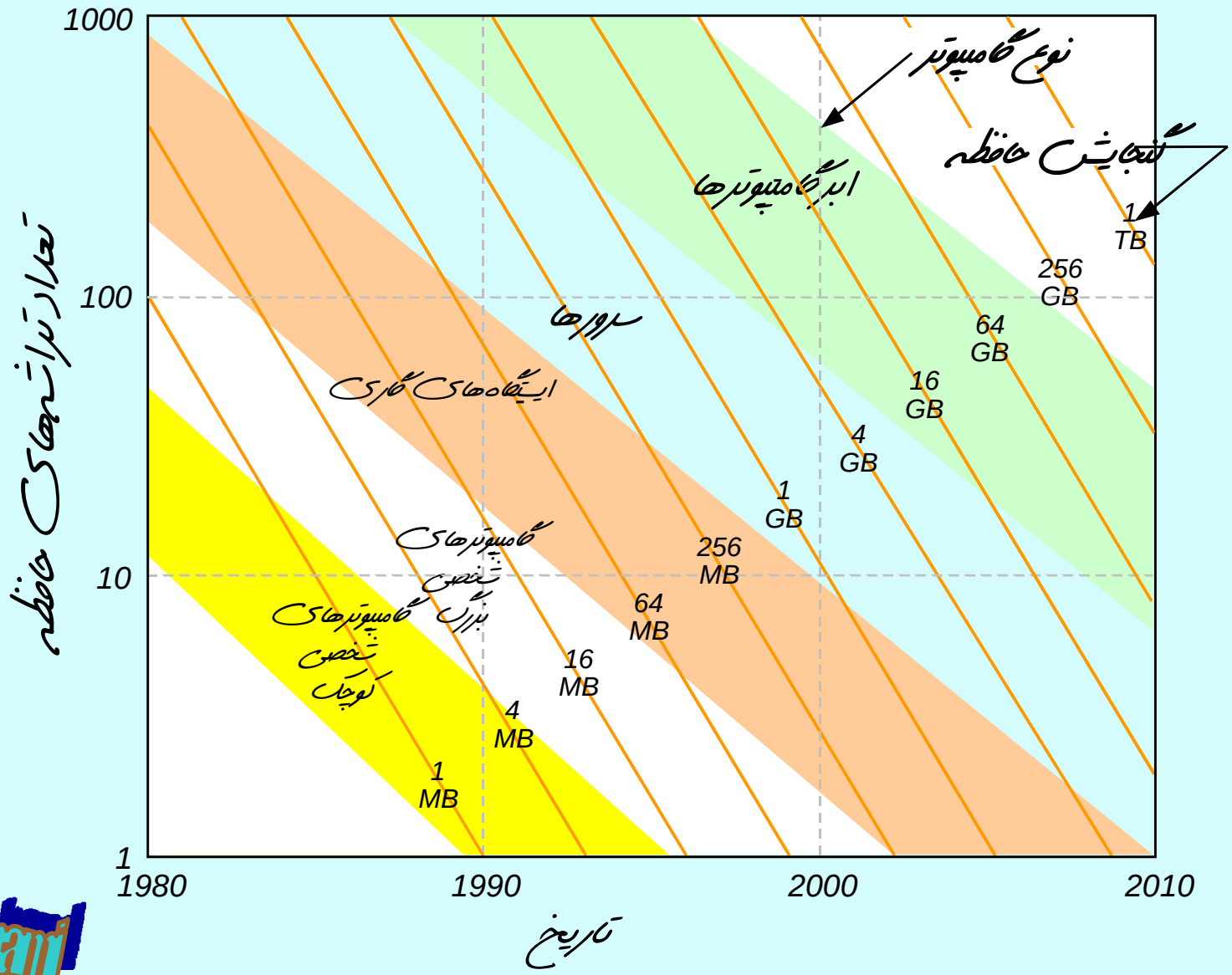
راه حل:

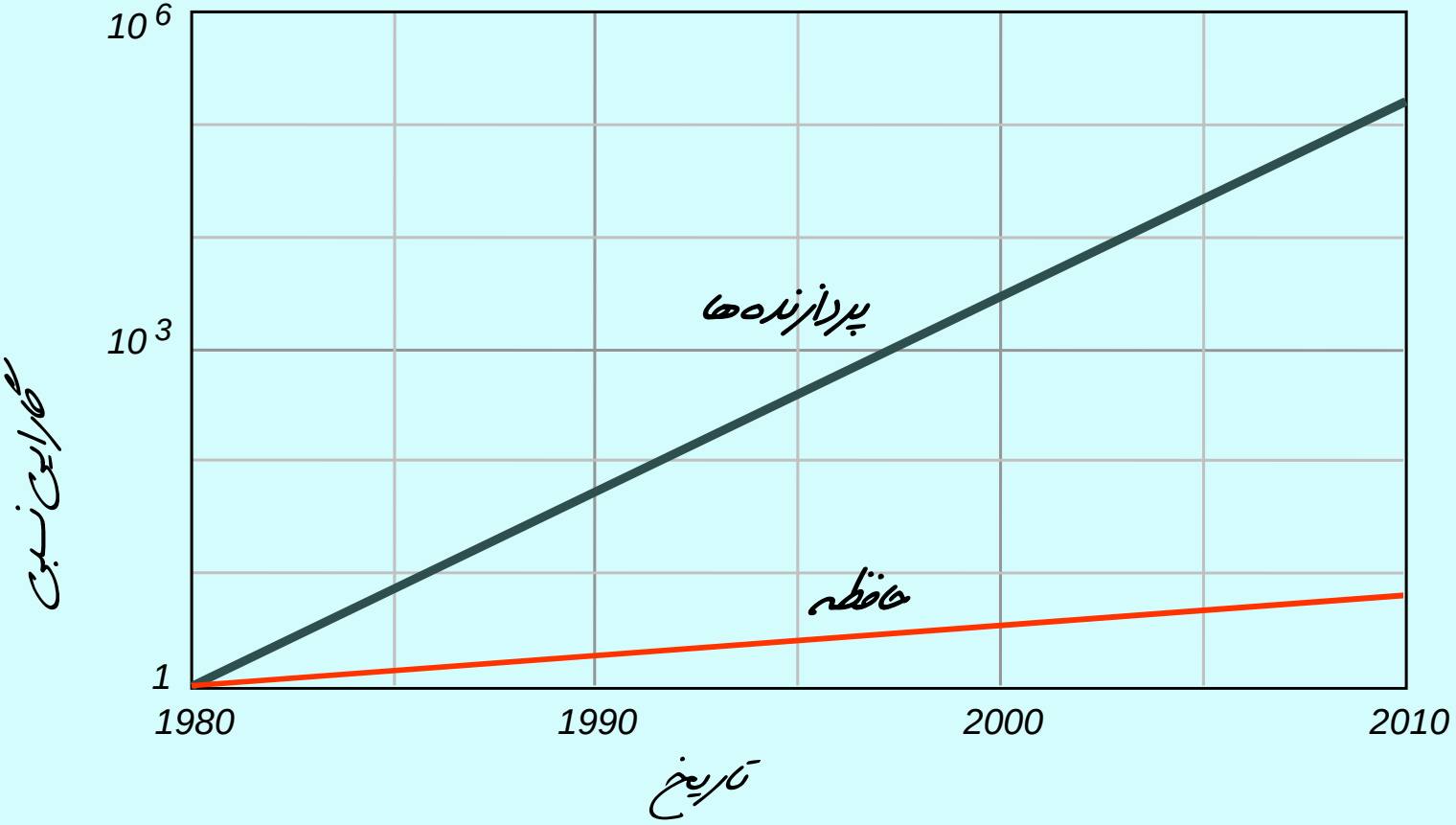
16 *×1024 ×100 ns = 1.64 ms.*

1.64/50 = 3.3%.

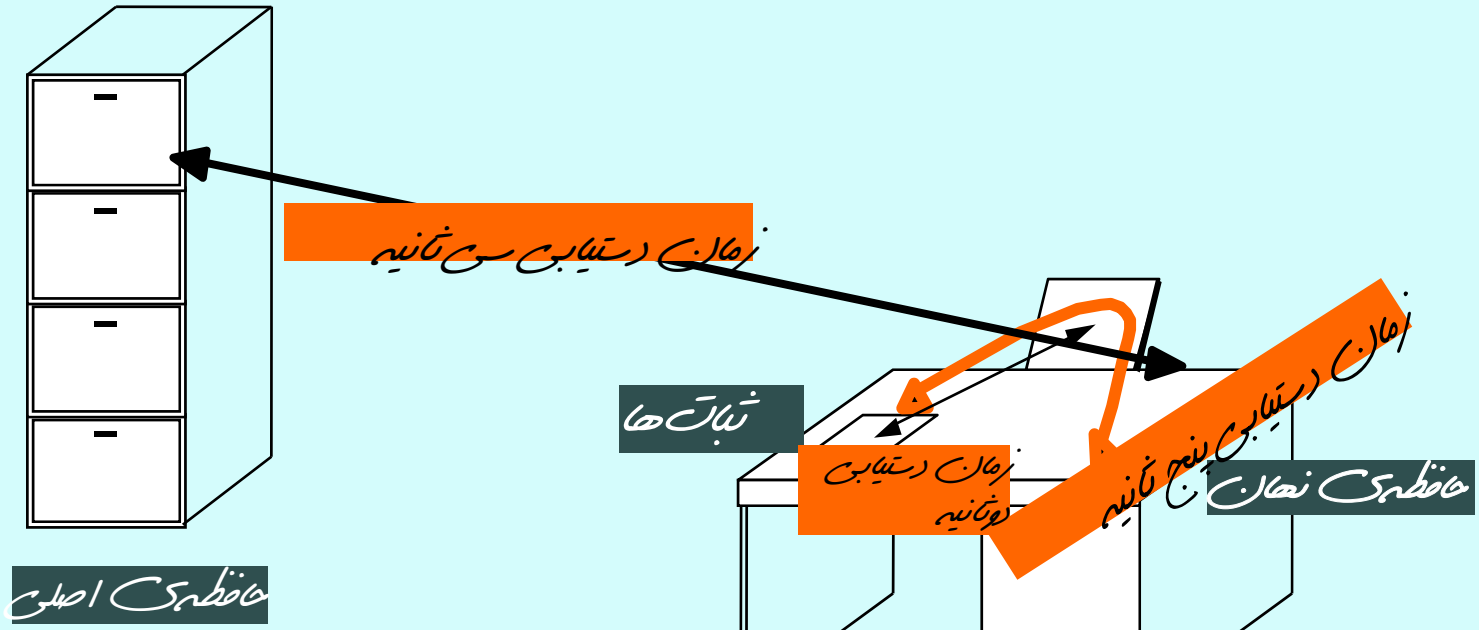
از کل پهنای باند بابت تازه‌سازی هدر می‌رود

DRAM Evolution




10^6
10^3
1
1980
1990
2000
2010
پردازنده‌ها
حافظه
تاریخ
لگاریتم نسبی

سلسله‌مراتب حافظه



سرعت، گنجایش و قیمت حافظه

Memory technology	Typical access time	$ per GB in 2008
SRAM	0.5-2.5 ns	$2000-$5000
DRAM	50-70 ns	$20-$75
Magnetic Disk	5,000,000-20,000,000 ns	$0.20-$2

یک حافظه‌ی ایده‌آل، زمان دسترسی پایین (مانند SRAM) و گنجایش بالا (مانند دیسک سخت)

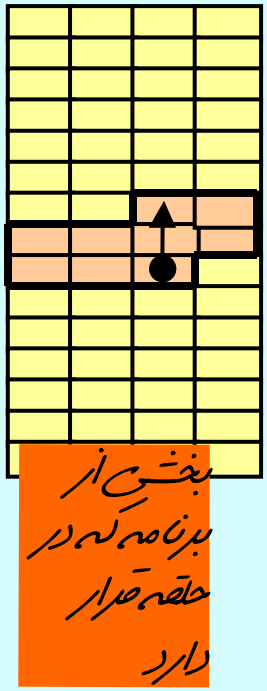
locality

- برای اجرای برنامه‌های ذخیره شده در حافظه، مراجعه به حافظه به بخش کوچکی محدود می‌شود.

همجواری

Temporal locality

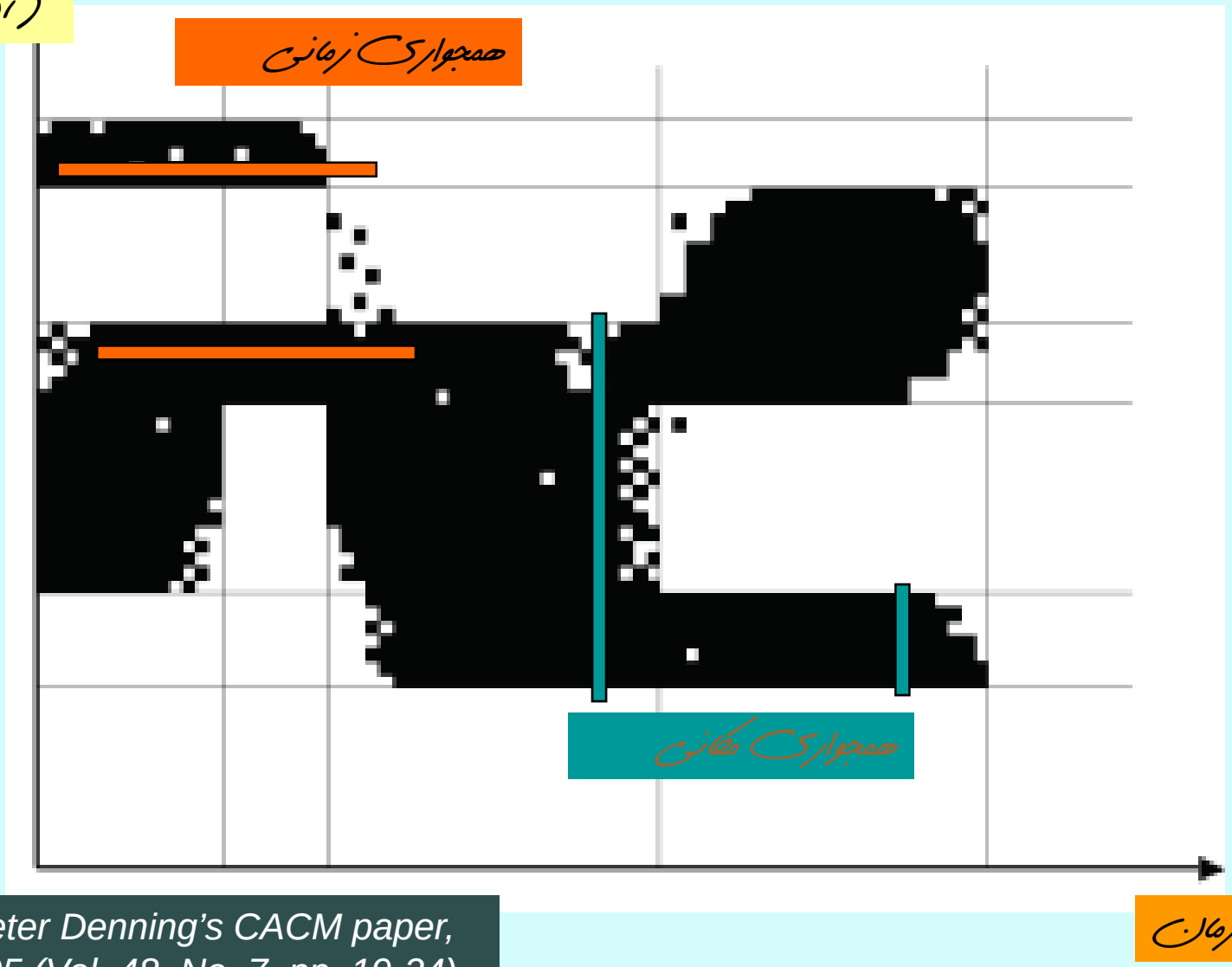
- **همجواری زمانی**: بخشی از حافظه که مورد مراجعه قرار گرفته است، با احتمال بالایی مجدداً مورد استفاده قرار می‌گیرد.
  - متغیرها، و یا دستورهایی که در حلقه قرار گرفته‌اند.



Spatial locality

- **همجواری مکانی**: نواحی مجاور بخشی از حافظه که مورد مراجعه قرار گرفته است، با احتمال بالایی مجدداً مورد استفاده قرار می‌گیرد.
  - آرایه‌ها، و یا توالی دستورالعمل‌های یک برنامه

همجواری (ادامه...)



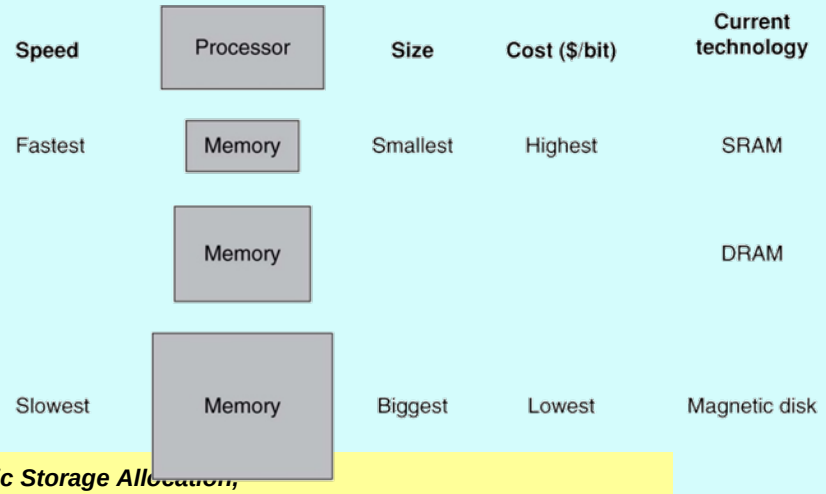
From Peter Denning's CACM paper, July 2005 (Vol. 48, No. 7, pp. 19-24)

همجواری (ادامه...)

- سلسله مراتب در در حافظه:
  - همه چیز را در دیسک سخت ذخیره کن
  - یک نسخه از موارد نیاز را در DRAM بنویس
  - یک نسخه از موارد مورد نیاز که اخیرا به کار گرفته شده‌اند را در SRAM ذخیره کن.

Main memory

Cache memory attached to CPU



M. V. Wilkes, "Slave Memories and Dynamic Storage Allocation," IEEE Transactions on Electronic Computers, vol. EC-14, no. 2, pp. 270-271, April 1965.