

خط لوله

... معماری کامپیوتر

۱۳۰۱-۱۱-۱۳۰۱

جلسه پنزدهم



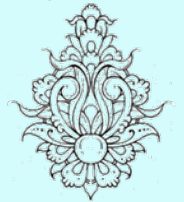
دانشگاه شهید بهشتی  
دانشکده مهندسی برق و کامپیوتر

بهار ۱۳۹۲

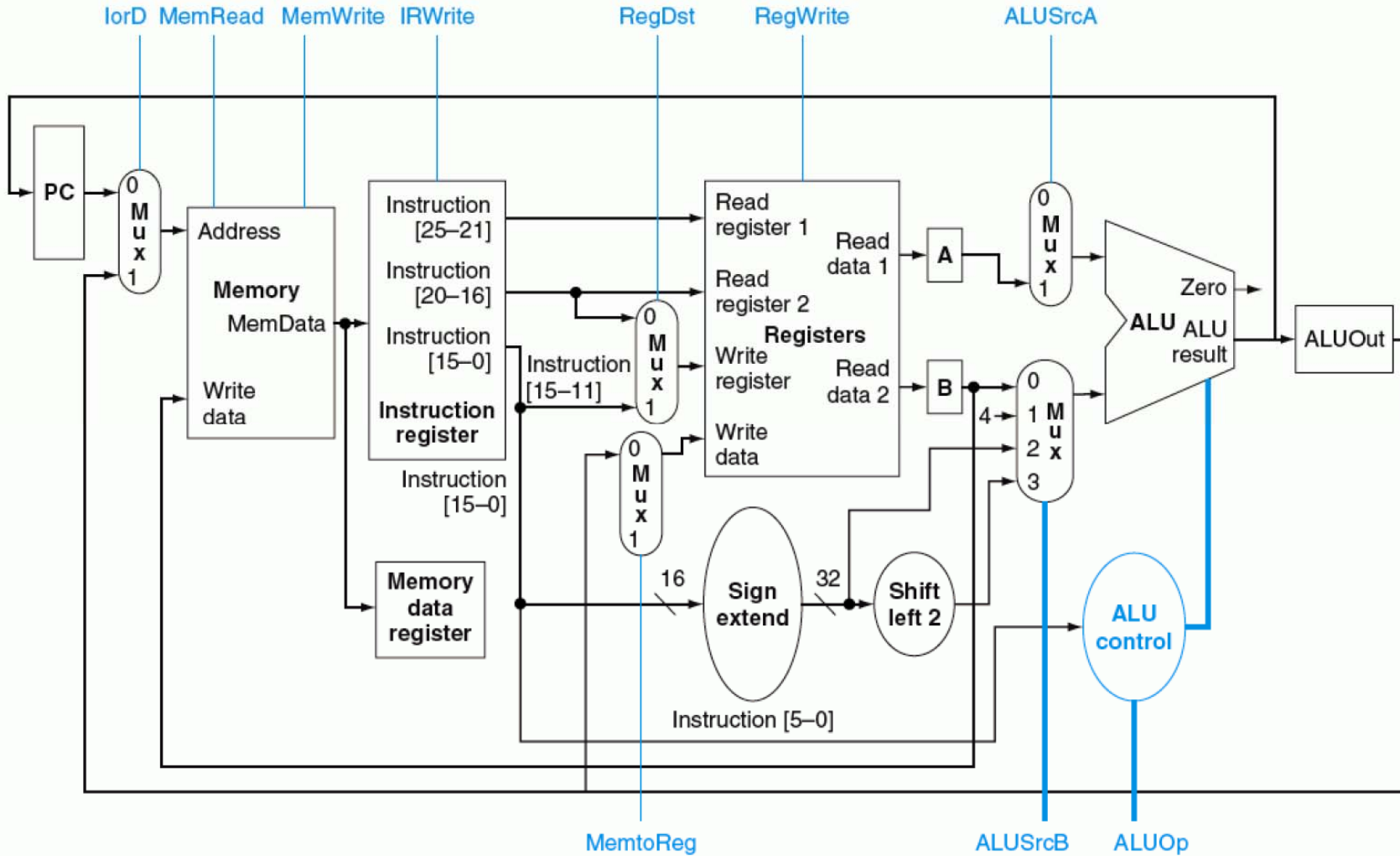
احمد محمودی ازناوه

## فهرست مطالب

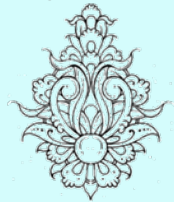
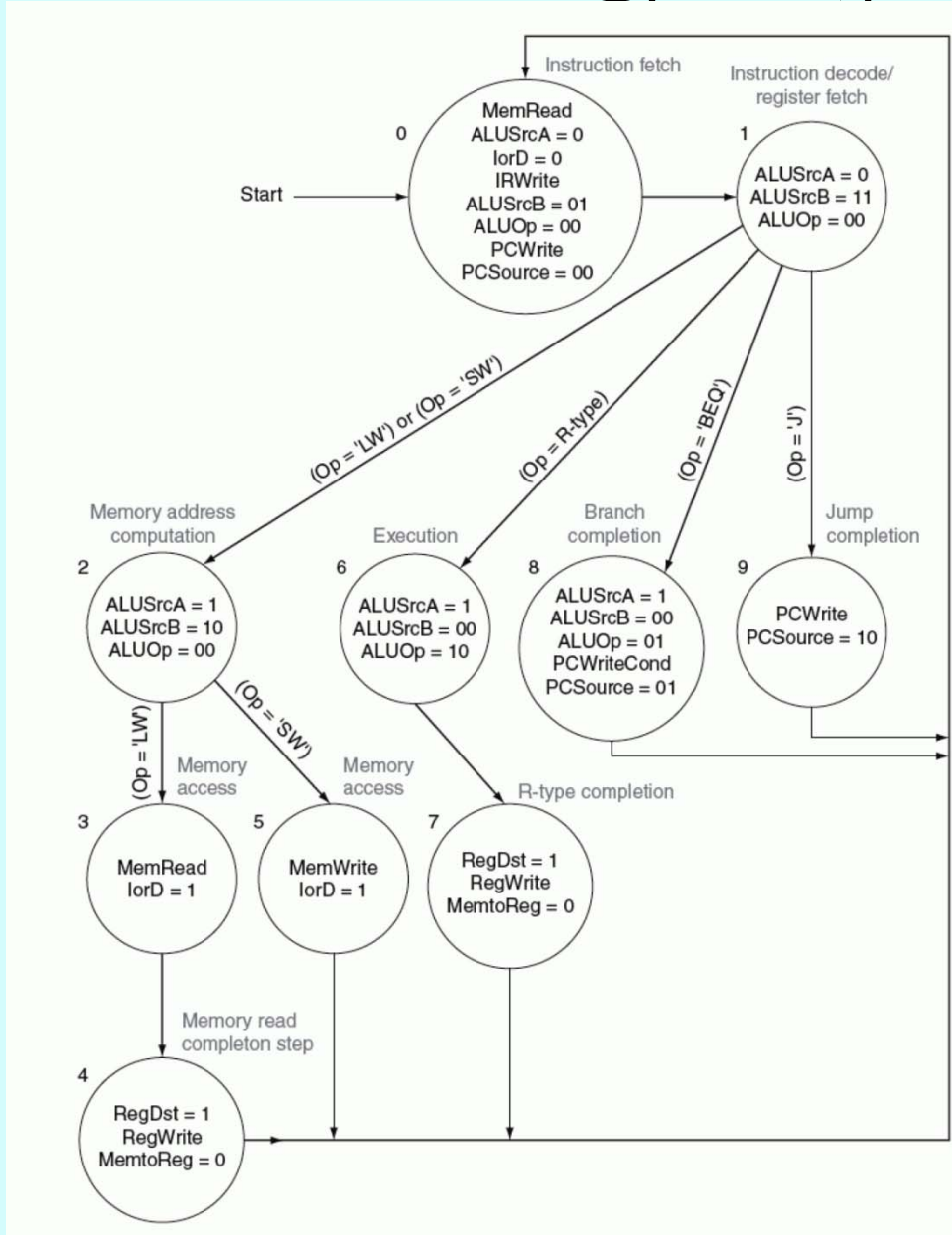
- مروری بر جلسه‌ی پیش
- گذر داده‌ی چندسیکلی
- انواع واحد کنترل
- یادآوری خط لوله
- مسیر گذر داده‌ی خط لوله

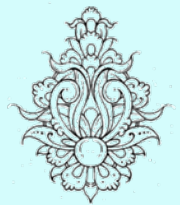
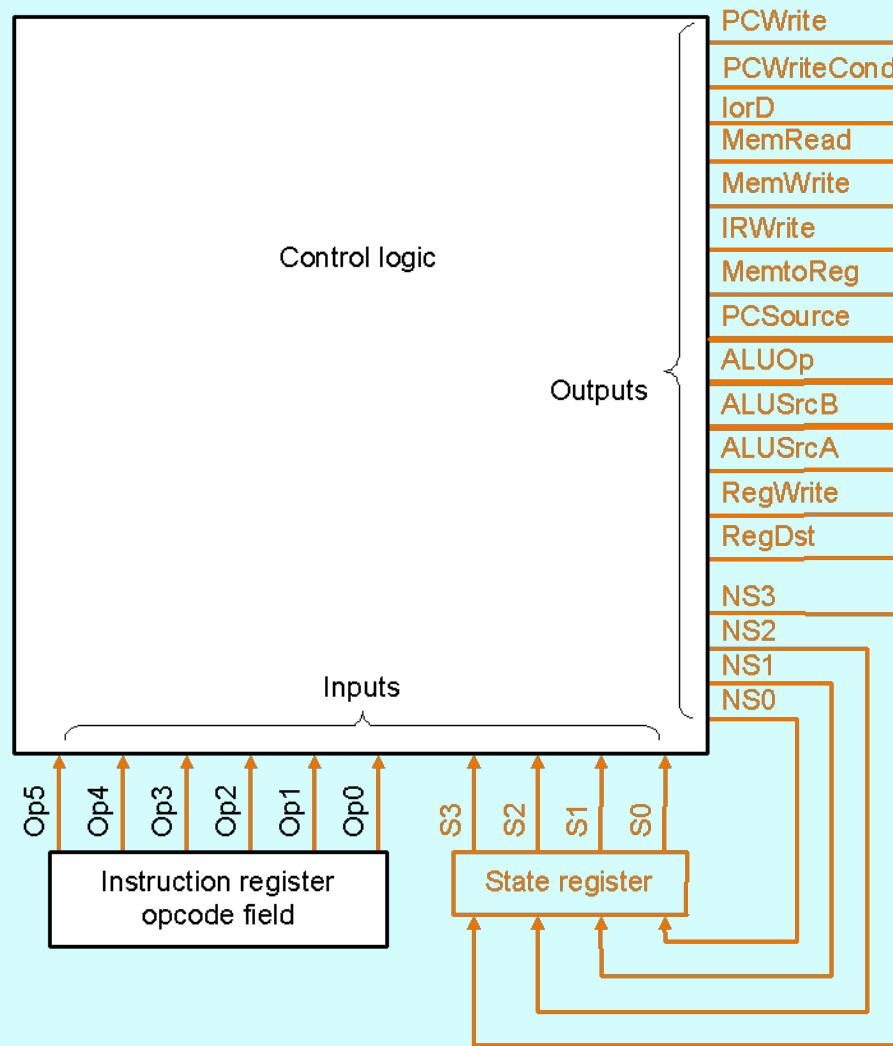


# مسیر گذر داده‌ی چندسیکلی



# ماشین حالت واحد کنترل

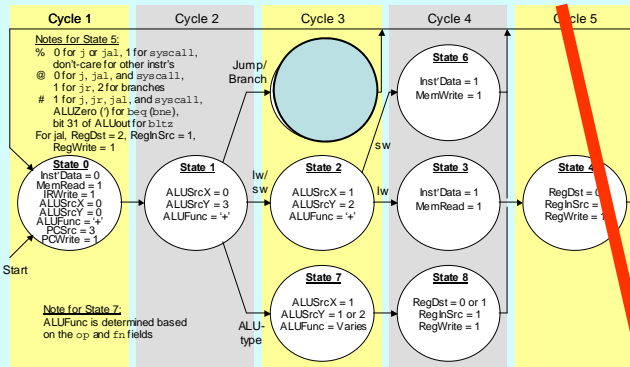




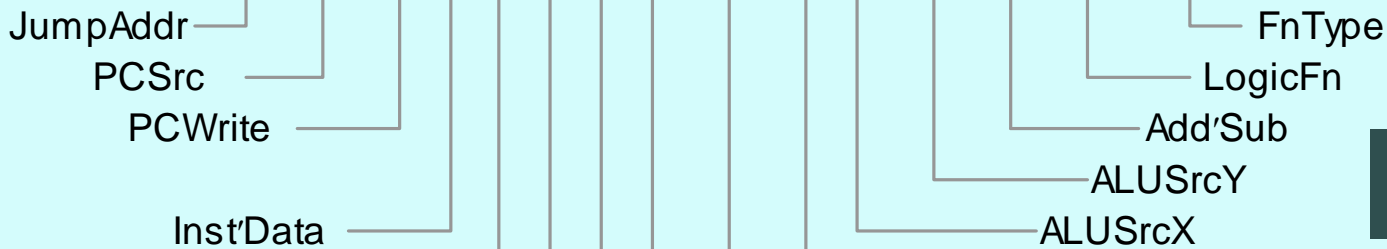
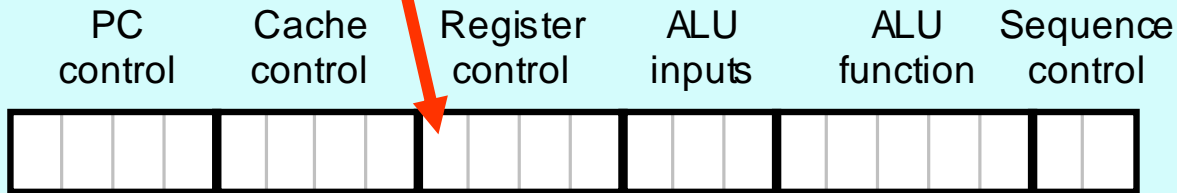
# Hard-wired

# ریز برنامه

ریز برنامه



ماشین حالت استفاده شده  
 برای خطوط کنترلی، خود شبیه به  
 یک برنامه است!

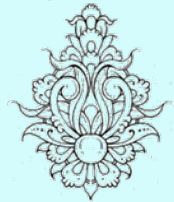
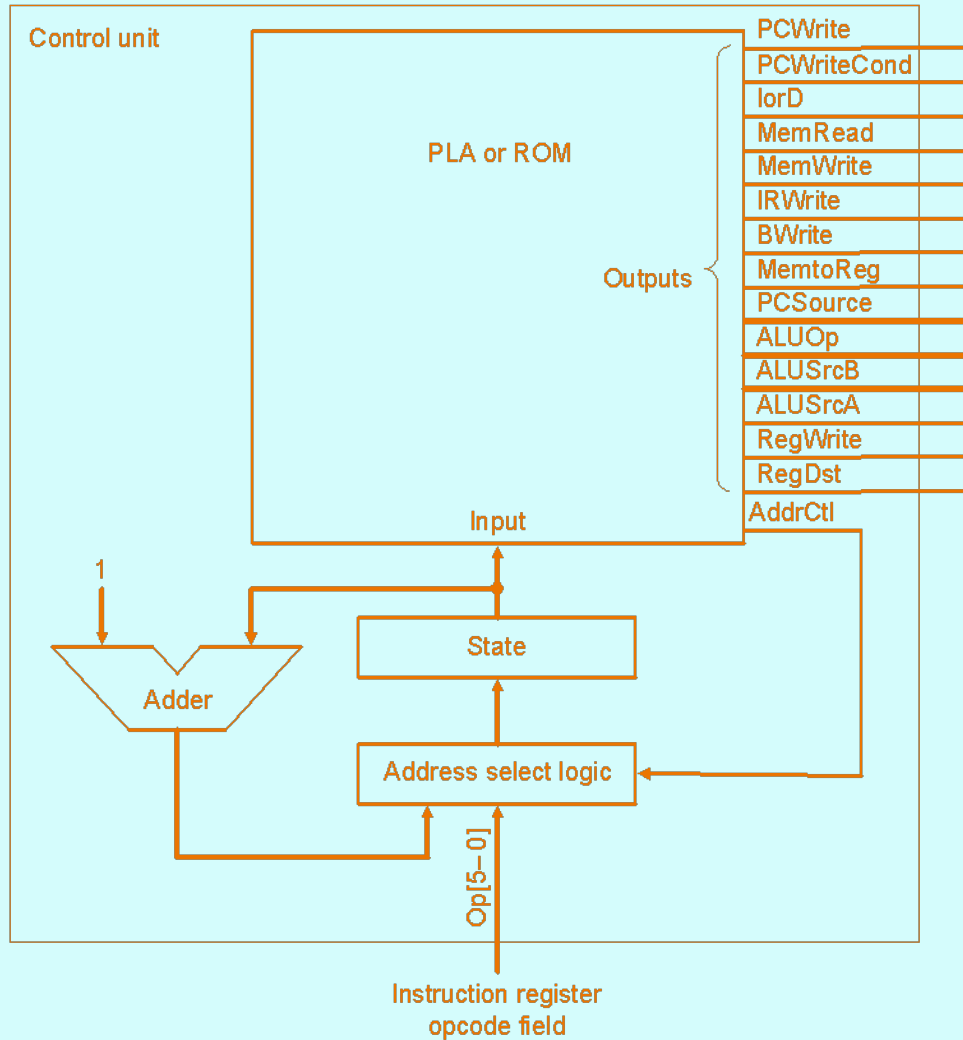


*microcode*

«ریزدستور» گام‌های کوچک‌تری است که هر دستورالعمل طی آن انجام می‌شود.



# پیاده‌سازی دیگری از واحد کنترل



microprogram

«ریزبرنامه» مجموعه‌ای از دستورها است که عملیات واحد پردازش مرکزی رایانه را کنترل می‌کند.

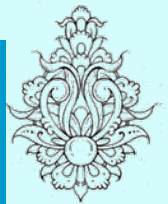
# Hardwired vs Microprogrammed

## Hard-wired

- در این شیوه برای پیاده‌سازی وامد کنترل از دروازه‌های منطقی استفاده می‌شود.
- طبقاً کارایی بهتری دارد.
- برای به روزرسانی باید طراحی دوباره انجام شود، برای محصولات مانند تلفن همراه مناسب نیست.

## Micro-programmed

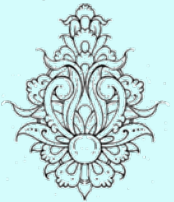
- سیگنال‌های کنترلی به صورت داده‌های متوالی ذخیره می‌شوند.
- در هر سیکل از حافظه خوانده می‌شوند.
- با تغییر محتوای حافظه می‌توان به ISA بخش‌های جدیدی افزود.





# معماری Harvard

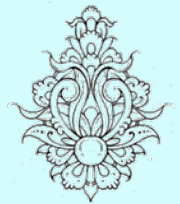
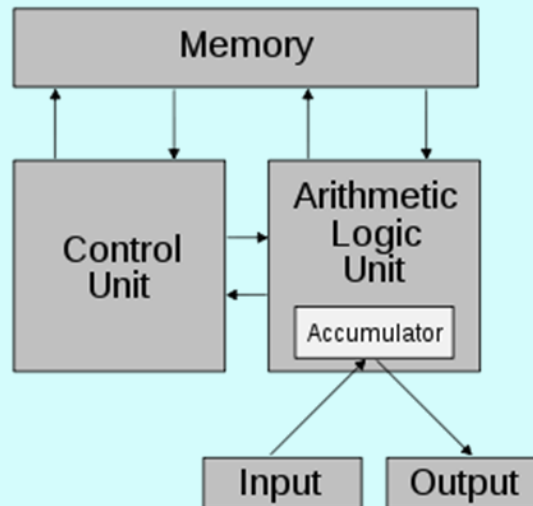
- در معماری Harvard، برای داده‌ها و دستورالعمل‌ها، حافظه و گذرگاه داده‌ی جداگانه‌ای در نظر گرفته شده است. این نام در پی ساخت کامپیوتر Harvard Mark I که از حافظه‌های جداگانه برای داده‌ها و دستورالعمل‌ها استفاده می‌کرد، به این معماری اطلاق شده است.
- در اغلب کامپیوترهای امروزه از معماری تعدیل شده‌ی هاروارد (Modified Harvard Architecture) استفاده می‌شود.
- در این شیوه حافظه‌ی نهان مربوط به دستورالعمل و داده‌ها جداگانه هستند، به نوعی می‌توان این شیوه را ترکیبی از دو نوع معماری فوق دانست، چنین شیوه‌ای در پردازنده‌های x86، ARM، PowePc و MIPS مورد استفاده قرار می‌گیرد.



# معماری Von Neumann

- در این معماری دستورالعمل‌ها و داده‌ها در یک حافظه ذخیره می‌شوند.
- بدین ترتیب امکان خواندن همزمان داده و دستورالعمل از حافظه وجود ندارد، چنین مسأله‌ای به تنگنای معماری Von Neumann شهرت دارد.

Von Neumann bottleneck



# RISC در مقابل CISC

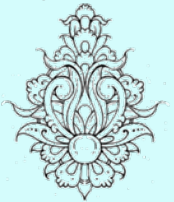
RISC

- تعداد دستورات کم
- طول دستورات ثابت
- هزینه‌ی پایین
- تنها دستورات خواندن و نوشتن به حافظه دسترسی دارند
- همه‌ی عملوندها ثبات‌های پردازنده هستند
- مودهای آدرس محدود
- واحد کنترل به صورت سیم‌بندی

- دارای دستورات پیچیده و متنوع
- - حتی دستوراتی که کم‌تر به کار می‌روند
- طول دستورات متغیر
- میکروکدهای پیچیده
- بیشتر دستورات به حافظه دسترسی دارند
- مودهای آدرس‌دهی بسیار متنوع هستند

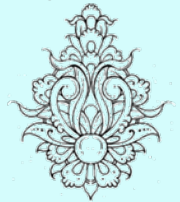
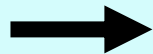
CISC

معماری کامپیوتر



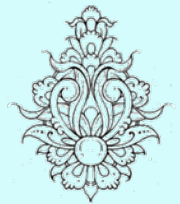
# CISC در مقابل RISC (ادامه...)

- در عمل مرزهای بین این دو در حال محو شدن هستند.
- پردازنده‌های جدید از خصوصیات هر دو بهره می‌گیرند.
- با این وجود، برای سیستم‌های درون‌کار (توکار) پردازنده‌ی RISC ترجیح داده می‌شوند.



# اجرای دستورات به صورت سری

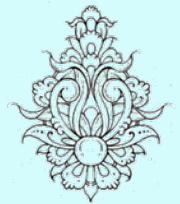
		Stages					
		S1	S2	S3	S4	S5	S6
Cycles	1	I-1					
	2		I-1				
	3			I-1			
	4				I-1		
	5					I-1	
	6						I-1
	7	I-2					
	8		I-2				
	9			I-2			
	10				I-2		
	11					I-2	
	12						I-2



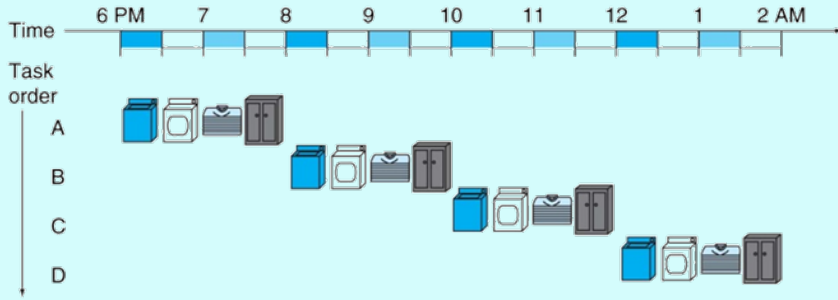
تا پیش از پردازنده‌های ۸۰۴۸۶، اجرای دستورات به صورت ترتیبی در شش مرحله صورت می‌پذیرفت. در پردازنده‌های ۸۰۴۸۶ این شش مرحله به صورت خط لوله در آمد.



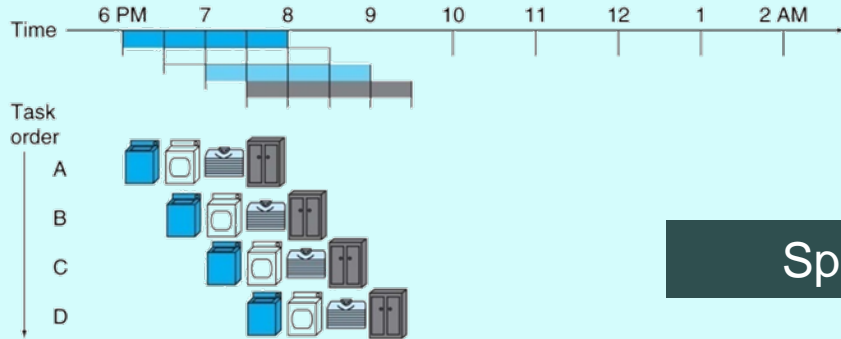
- در یک سیستم خط لوله، اجرای چندین دستورالعمل دارای همپوشانی است.
- پایهی خط لوله شبیه خط تولید کارخانه‌هاست.
- تقریباً در تمامی پردازنده‌های موجود از این تکنیک استفاده می‌شود.



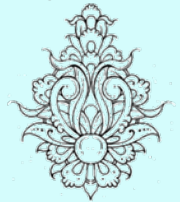
# مثالی از خط لوله (در رقتشویفانه)



- در صورتی که کارها را با همپوشانی انجام دهیم، کارایی افزایش چشمگیری خواهد داشت



$$\text{Speedup} = 8/3.5 = 2.3$$



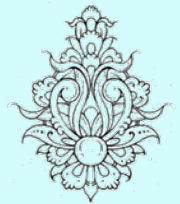
# خط لوله (pipeline)

- «خط لوله یک شگرد پیاده‌سازی است که در آن چندین دستورالعمل به طور هم‌پوشان (overlapped) به اجرا در می‌آید. در پردازنده‌های خانوادگی X86 نخستین بار در ۸۰۴۸۶ از خط لوله استفاده شد.

		Stages					
		S1	S2	S3	S4	S5	S6
Cycles	1	I-1					
	2	I-2	I-1				
	3		I-2	I-1			
	4			I-2	I-1		
	5				I-2	I-1	
	6					I-2	I-1
	7						I-2

در یک خط لوله  $k$  مرحله‌ای، برای انجام  $n$  دستور چند چرخ ساعت زمان لازم است؟

$$k + (n - 1)$$





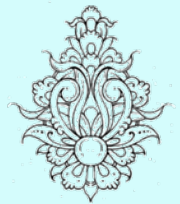
خط لوله (ادامه...)

- اگر زمانی که گام‌های مختلف خط لوله نیاز دارند یکسان نباشد، «ظرفیت گزدهی» چه تفاوتی خواهد کرد؟ فرض کنید گام چهارم به دو سیکل نیاز داشته باشد؟

		Stages					
		S1	S2	S3	S4	S5	S6
Cycles	1	I-1					
	2	I-2	I-1				
	3	I-3	I-2	I-1			
	4		I-3	I-2	I-1		
	5			I-3	I-1		
	6				I-2	I-1	
	7				I-2		I-1
	8				I-3	I-2	
	9				I-3		I-2
	10					I-3	
	11						I-3

Throughput

معماری کامپیوتر

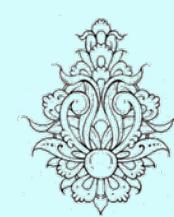
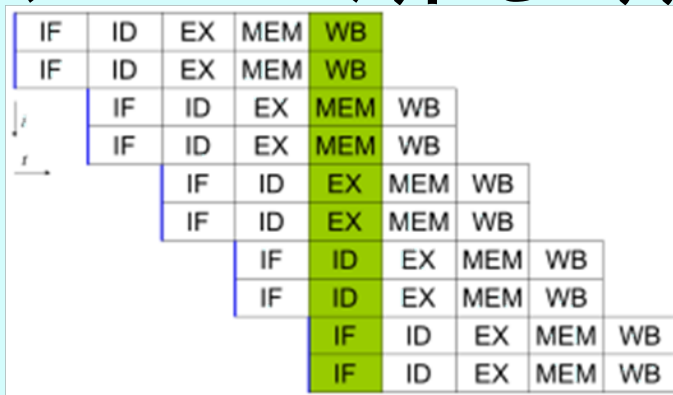


در چنین حالی، اجرای  $n$  دستور چند سیکل زمان لازم است؟

$$k + (2n - 1)$$

• در سوپراسکالر چندین خط لوله برای اجرای دستورالعمل‌ها وجود دارد. بدین ترتیب چند دستور همزمان واکنشی می‌شود. Pentium اولین پردازنده از خانواده‌ی X86 بود که مجهز به سوپراسکالر با دو خط لوله شد، پس از آن نوبت به Pentium Pro با سه خط لوله.

• وابستگی بین دستورالعمل‌ها به صورت سخت‌افزاری در زمان اجرا (run time) دائماً چک می‌شود.

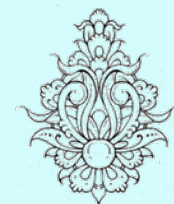


سوپر اسکالر (ادامه...)

- در مثال قبل واحد S4 را به صورت افزونه در خط لوله قرار می‌دهیم، دستورات با شماره فرد وارد واحد u و دستورات با شماره زوج وارد واحد v خواهند شد.

		Stages						
		S1	S2	S3	S4		S5	S6
					u	v		
Cycles	1	I-1						
	2	I-2	I-1					
	3	I-3	I-2	I-1				
	4	I-4	I-3	I-2	I-1			
	5		I-4	I-3	I-1	I-2		
	6			I-4	I-3	I-2	I-1	
	7				I-3	I-4	I-2	I-1
	8					I-4	I-3	I-2
	9						I-4	I-3
	10							I-4

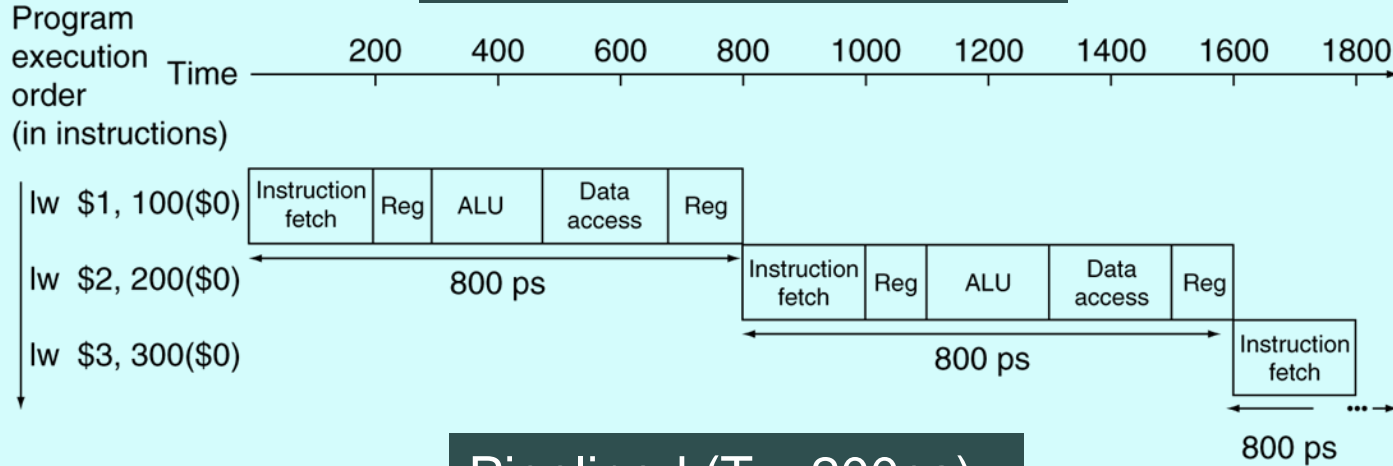
$$k + n$$



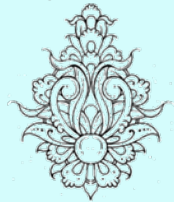
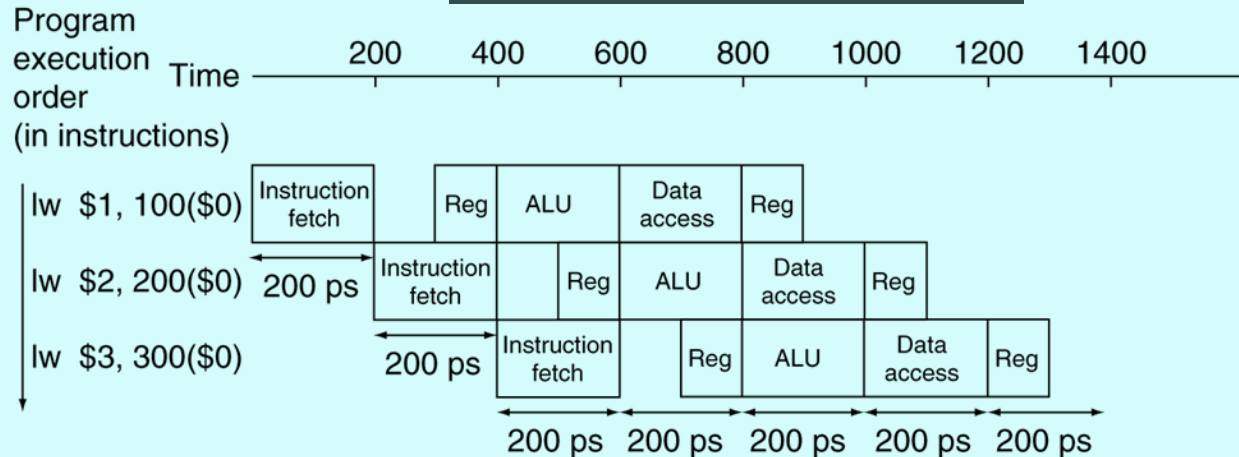
در چنین حالی، اجرای n دستور چند سیکل زمان لازم است؟

# کارایی خط لوله (ادامه...)

## Single-cycle ( $T_c = 800\text{ps}$ )



## Pipelined ( $T_c = 200\text{ps}$ )

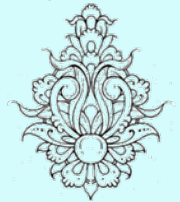


کارایی خط لوله (ادامه...)

- اگر تمامی مراحل متعادل (balanced) باشند؛ تمام مراحل زمان یکسانی صرف کنند

$$\text{Time between instructions}_{\text{pipelined}} = \frac{\text{Time between instructions}_{\text{nonpipelined}}}{\text{Number of stages}}$$

- در صورتی که خط لوله پر باشد، کارایی با تعداد گام‌ها خواهد بود؛ با یک خط لوله‌ی پنج مرحله‌ای سرعت پنج برابر می‌شود



که عشق آسان نمود اول، ولی افتاد مشکل تمام  
معماری کامپیوتر

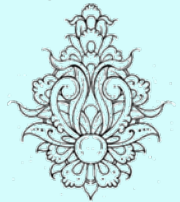
## کارایی خط لوله (ادامه...)

- زمانی که هر واحد خط لوله نیاز دارد، یکسان نیست
- افزون بر این، استفاده از خط لوله به سیستم مقداری سربار هم تحمیل خواهد کرد.
- در مثال قبلی، زمان اجرای سه دستور به  $1400ps$  رسید. اگر تعداد دستورات را  $1000000$  در نظر بگیریم، افزایش سرعت تقریباً چهار برابر می‌شود.

$$1,000,000 \times 800ps + 2400$$

$$\frac{8000002400ps}{200001400ps} \approx \frac{800ps}{200ps} \approx 4.00$$

$$1,000,000 \times 200ps + 1400ps$$



کارایی خط لوله (ادامه...)

• با استفاده از خط لوله،

– زمان اجرای یک دستورالعمل افزایش می‌یابد.

– توان عملیاتی افزایش می‌یابد.

Latency

throughput

**Pipelined:**

**Clock rate = 500 MHz**

**$CPI \cong 1$**

**Single-cycle:**

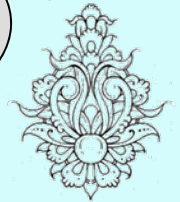
**Clock rate = 125 MHz**

**$CPI = 1$**

**Multicycle:**

**Clock rate = 500 MHz**

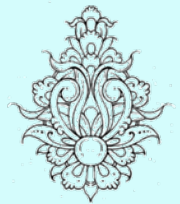
**$CPI \cong 4$**



## طراحی ISA برای خط لوله

• تمام دستورات تمام دستورات MIPS طول یکسانی دارند. مرحله‌ی واکنشی به سادگی انجام می‌شود.

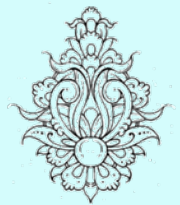
• قالب دستورها مشابه هستند. بدین ترتیب کدگشایی ساده‌تر خواهد بود. کدگشایی دستور و خواندن محتوای ثبات در یک گام صورت می‌پذیرد. این که ثبات منبع جای مشخصی دارد، پیش از تمام شدن کدگشایی دستور محتوای ثبات خوانده می‌شود. وگرنه، گام‌های خط‌لوله به شش گام می‌رسید.



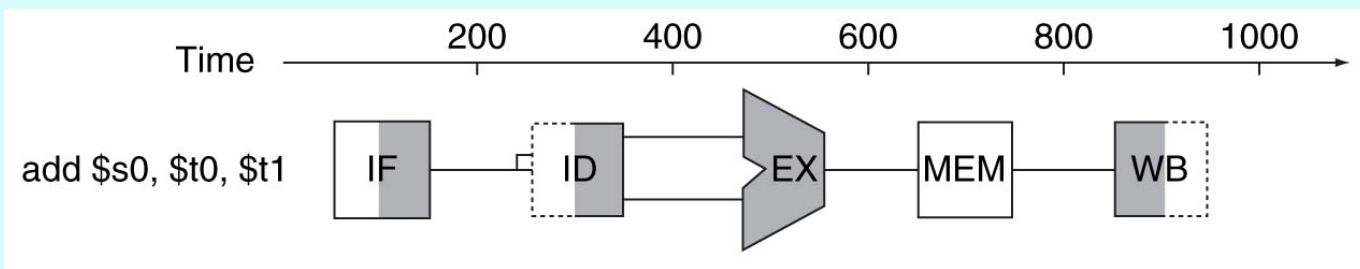


## طراحی ISA برای خط لوله (ادامه...)

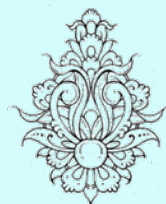
• در مجموعه دستورات MIPS، دسترسی به حافظه فقط در دستورهای lw/sw امکان پذیر می باشد. در صورتی که در دستورهای محاسباتی استفاده از عملوند حافظه مجاز بود، گاه سوم و چهارم به گاه های یافتن آدرس، خواندن حافظه و اجرای دستور گسترش می یافت.



- گاهی اوقات در مسیر خط لوله شرایطی پیش می‌آید که دستورالعمل بعدی را نمی‌توان در سیکل ساعت بعدی اجرا کرد و به چنین رخدادهایی اصطلاحاً «**خطرات نافواسته**» یا به عبارت بهتر «**مفازرات و موانع سدّ راه در خط لوله**» گفته می‌شود و با سه نوع مختلف از آن مواجه خواهیم بود.



این شکل مراحل مختلف یک خط لوله، برای دستور add را نشان می‌دهد. شکل‌هایی که سایه نخورده اند در این دستور مورد استفاده قرار نمی‌گیرند بخش‌هایی که در سمت راست (چپ) سایه خورده اند، بیانگر خواندن (نوشتن) داده از (در) حافظه می‌باشند.



- در یک برنامه، ممکن است دستور بعدی قابل اجرا در پالس بعدی نباشد، چنین حوادثی را مخاطره می‌نامند.

### Structural Hazard

– مخاطرات ساختاری

- یکی از منابع مورد نیاز مشغول است

### Data Hazard

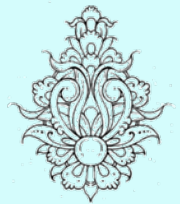
– مخاطرات داده‌ای

- به داده‌ای نیاز است که توسط دستور قبلی آماده نشده است

### Control Hazard

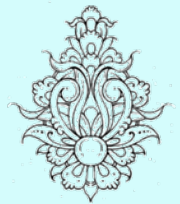
– مخاطرات کنترلی

- چنانچه دستورات کنترلی بخواهند بر اساس اجرای دستور قبلی تصمیم‌گیری کنند.



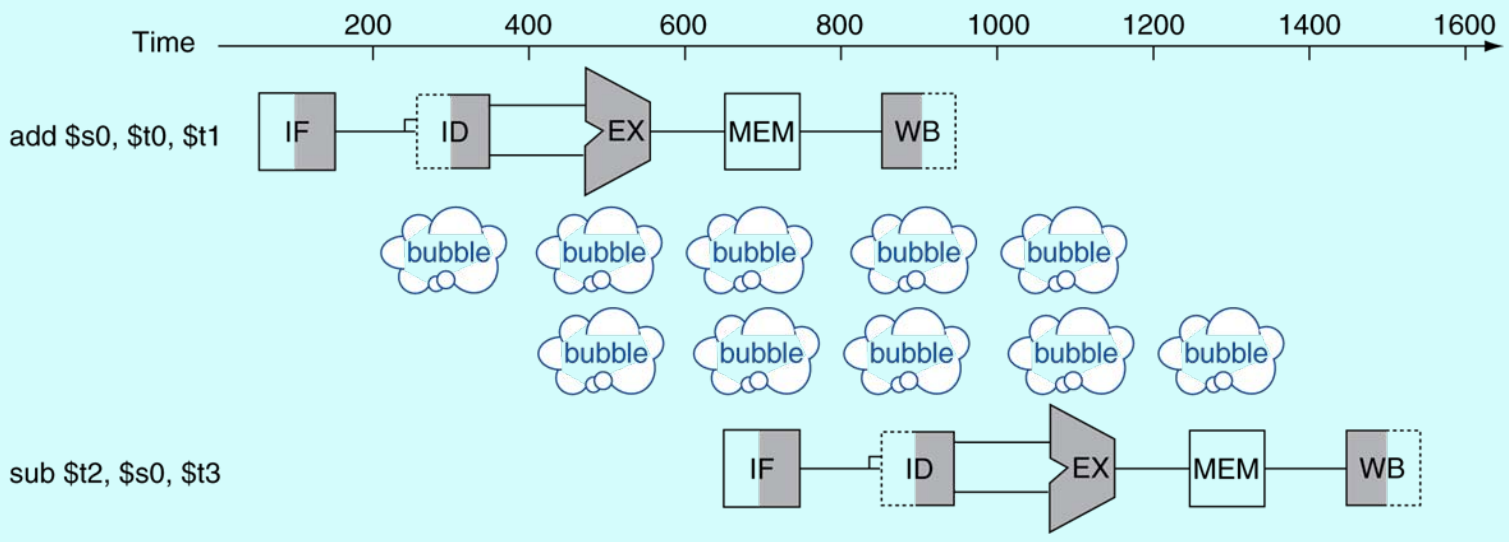
## مفاهیم سافتواری

- اولین مانع در خط لوله به «مفاهیم سافتواری» شهرت دارد و بدین معناست که سخت افزار بی نفیسه قادر به پشتیبانی ترکیبی خاص از دستورالعمل‌هایی که می‌خواهیم در یک سیکل واحد آن‌ها را اجرا کنیم، نیست.
- تعارض در هنگام استفاده از منابع مشترک
  - در MIPS با یک حافظه برای دستورالعمل‌ها و داده‌ها
    - دستورات خواندن و نوشتن به حافظه امتیاج دارند
    - در این صورت برای واکنشی دستورات بعدی، تعلیق می‌شود.
  - در چنین حالاتی به جای دستورات بعدی **مباب** وارد خط لوله می‌شود.
- خط لوله‌ی داده‌گذر (datapath) به دو حافظه‌ی داده و دستور نیاز دارد.

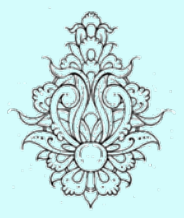


stall

Bubble



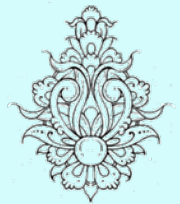
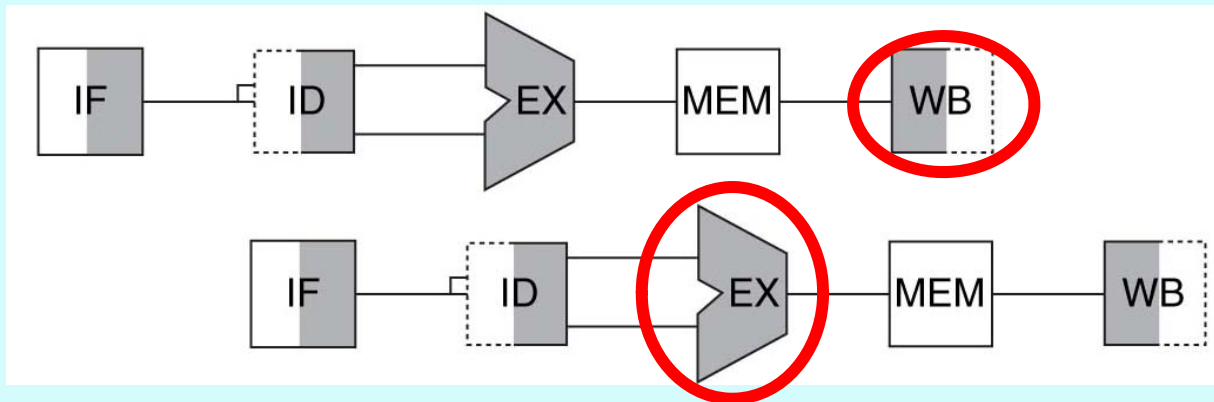
این شکل یکی از مفاهیم بسیار با اهمیت در ایجاد خط لوله را به تصویر کشیده است که اگرچه عنوان رسمی «تعليق خط لوله» دارد ولیکن اغلب اوقات از این پدیده با نام ساده‌تر «**مباب**» یاد می‌شود. در ادامه‌ی بحث به موانع منجر به «تعليق» در بخش‌های دیگری از خط لوله خواهیم پرداخت.



## مخاطرات داده‌ای

- مخاطرات و موانع ناشی از **داده** موقعی رخ خواهد داد که خط لوله باید در انتظار تکمیل یکی از مراحل قبلی از حرکت باز داشته شود

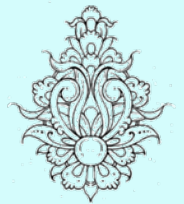
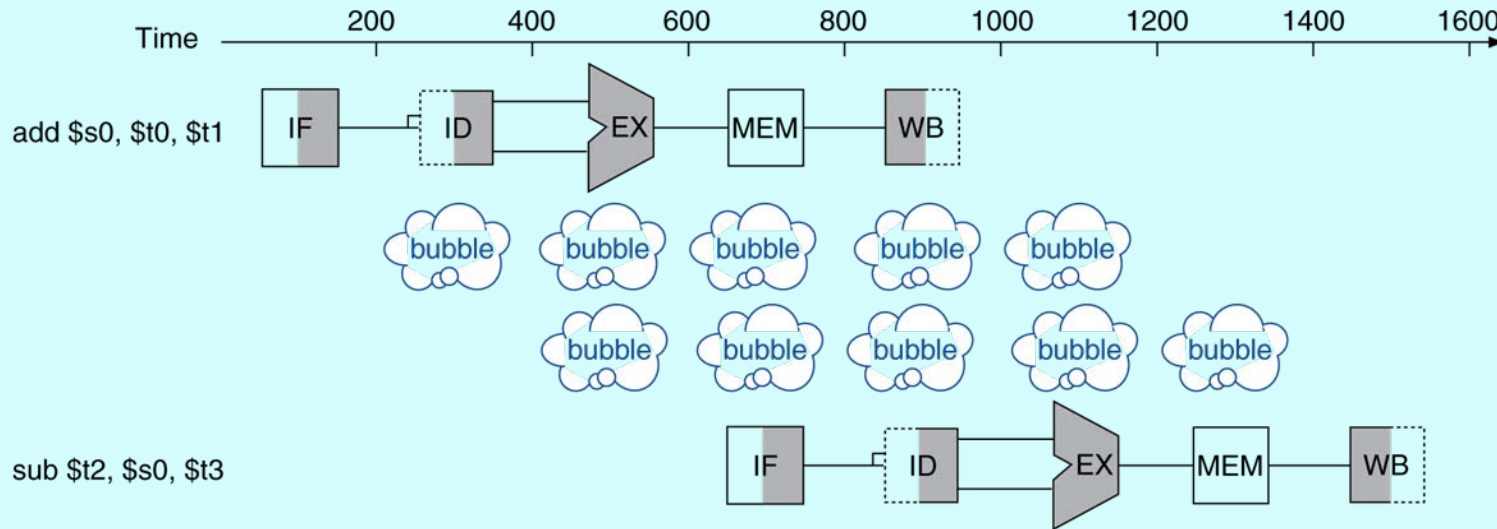
```
add $s0, $t0, $t1  
sub $t2, $s0, $t3
```



# مفادرات داده‌ای

- یک دستورالعمل به داده‌ای نیاز دارد، که در دستور قبلی مشغول آماده کردن آن است

```
add $s0, $t0, $t1  
sub $t2, $s0, $t3
```



- در حالتی که مخاطره‌ی داده رخ می‌دهد، پس از انجام دستورات عمل و آمده شدن داده، نتیجه به دست آمده پیش از ذخیره در ثبت، در دستور بعدی استفاده می‌شود.
- نیاز به اتصالات بیشتری در داده‌گذر (datapath) دارد.

